



3 / Priority 3
Doc.
E. Willis
10-3-02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Tomonari YAMAMOTO**

Serial No.: **10/083,684**

Group Art Unit: **2811**

Filed: **February 27, 2002**

P.T.O. Confirmation No.: 1544

FOR: **SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

Date: May 10, 2002

Sir:

The benefit of the filing dates of the following prior foreign applications are hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2001-059060, filed March 2, 2001

Japanese Appln. No. 2002-024468, filed January 31, 2002

In support of this claim, the requisite certified copies of said original foreign applications are filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copies.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully Submitted,

ARMSTRONG, WESTERMAN & HATTORI LLP

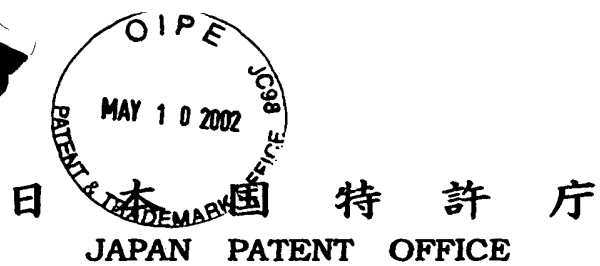
Donald W. Hanson
Attorney for Applicants
Reg. No. 27,133

DWH/jaz
Atty. Docket No. **020254**
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 3月 2日

出願番号

Application Number:

特願2001-059060

[ST.10/C]:

[JP2001-059060]

出願人

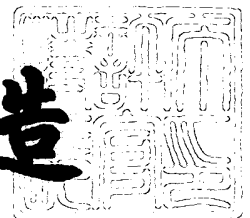
Applicant(s):

富士通株式会社

2002年 2月22日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2002-3009821

【書類名】 特許願

【整理番号】 0040824

【提出日】 平成13年 3月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置の製造方法

【請求項の数】 9

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 山本 知成

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100090273

 【弁理士】

 【氏名又は名称】 國分 孝悦

 【電話番号】 03-3590-8901

【手数料の表示】

 【予納台帳番号】 035493

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9908504

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 単結晶半導体領域にゲート、ソース／ドレインを有してなる半導体装置の製造方法であって、

前記単結晶半導体領域上にゲート絶縁膜を介して前記ゲートをパターン形成する第 1 の工程と、

前記ゲートをマスクとして、前記単結晶半導体領域の表面に対して斜め方向から、当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、前記ゲート下部の前記単結晶半導体領域内に回り込む非晶質領域を形成する第 2 の工程と、

前記第 2 の工程の前又は後に、前記ゲートをマスクとして前記単結晶半導体領域の表面に不純物を導入する第 3 の工程と、

前記単結晶半導体領域にレーザー照射して前記不純物を活性化し、前記ソース／ドレインを形成する第 4 の工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】 前記第 4 の工程の後に、前記ゲート及び前記側壁絶縁膜をマスクとして、前記ソース／ドレインの表層をシリサイド化する第 5 の工程を含むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 単結晶半導体領域にゲート、ソース／ドレインを有してなる半導体装置の製造方法であって、

前記単結晶半導体領域上にゲート絶縁膜を介して前記ゲートをパターン形成する第 1 の工程と、

前記ゲートをマスクとして、前記単結晶半導体領域の表面に対して斜め方向から、当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、前記ゲート下部の前記単結晶半導体領域内に回り込む第 1 の非晶質領域を形成する第 2 の工程と、

前記第 2 の工程の前又は後に、前記ゲートをマスクとして前記単結晶半導体領域の表面に不純物を導入し、第 1 の接合領域を形成する第 3 の工程と、

前記ゲートの側面に側壁絶縁膜を形成する第4の工程と、

前記ゲート及び前記側壁絶縁膜をマスクとして、前記単結晶半導体領域の表面に当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、前記第1の非晶質領域よりも深い第2の非晶質領域を形成する第5の工程と、

前記第5の工程の前又は後に、前記ゲート及び前記側壁絶縁膜をマスクとして、前記単結晶半導体領域の表面に不純物を導入し、前記第1の接合領域よりも深い第2の接合領域を形成する第6の工程と、

前記側壁絶縁膜を除去した後、前記単結晶半導体領域にレーザー照射して、前記第1及び第2の接合領域の前記不純物を活性化し、前記ソース／ドレインを形成する第7の工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4】 前記第7の工程の後に、前記ゲート及び前記側壁絶縁膜をマスクとして、前記ソース／ドレインの表層をシリサイド化する第8の工程を含むことを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 前記レーザー照射の強度が、前記非晶質半導体は溶融するが単結晶半導体溶融しない条件の値であることを特徴とする請求項1～4のいずれか1項に記載の半導体装置の製造方法。

【請求項6】 前記単結晶半導体を非晶質化するに足る程度の性質を有する原子は、Si, Ge, As, Arから選ばれた1種であることを特徴とする請求項1～5のいずれか1項に記載の半導体装置の製造方法。

【請求項7】 単結晶半導体を非晶質化するに足る程度の性質を有する原子を、所定のマスクを用いて単結晶半導体領域に異なる導入条件で少なくとも2回導入し、各回の前記原子の導入に応じた異なる深さ及び面積の各非晶質領域を形成する工程と、

各々の前記原子の導入前又は後に、PN接合を形成するための不純物を導入する工程と、

前記単結晶半導体領域にレーザー照射し、導入された前記不純物を活性化して、前記PN接合を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項8】 前記原子の導入を行うに際して、少なくとも1回の前記原子

の導入時に、前記マスク下部の前記単結晶半導体領域内に前記原子が回り込むように、前記単結晶半導体領域の表面に対して斜め方向から導入することを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記レーザー照射の強度が、前記非晶質半導体は溶融するが単結晶半導体溶融しない条件の値であることを特徴とする請求項 7 又は 8 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に、ゲート長が $0.1\ \mu\text{m}$ を下回る世代の MOS トランジスタにおけるソース／ドレインの形成に適用して好適である。

【0002】

【従来の技術】

近時では、レーザーアニール技術は急速ランプ加熱に代わる次世代の熱プロセスとして期待されている。この技術は、数 ns という超短時間での溶融再結晶過程という非平衡の熱プロセスであり、通常は温度で制限される不純物の半導体中の固溶限界を超えた高い電気的活性化が得られ、また、急峻な不純物プロファイルが得られる、という利点があるため、低いコンタクト抵抗のソース／ドレインや、より浅く急峻な不純物拡散（エクステンション）領域の形成が可能となる。

【0003】

【発明が解決しようとする課題】

しかしながら、レーザーアニールによって得られた急峻な不純物拡散は、不純物プロファイルが急峻すぎるため、イオン注入時のマスクとなるゲート電極近傍で不純物拡散領域が厳格に確定されてしまい、そのため寄生抵抗が逆に増大してしまうという問題点がある。

【0004】

このように、レーザーアニール法を用いることにより、超短時間の活性化処理

で急峻な不純物プロファイルが得られ、低コンタクト抵抗化等に大きく寄与する反面、寄生抵抗の増加を招くという深刻な問題がある。

【0005】

そこで本発明は、前記課題に鑑みてなされたものであり、レーザーアニール法を用いて寄生抵抗の増加等の不都合を招くことなく急峻な不純物プロファイルが得られ、半導体素子の更なる微細化・高集積化に十分応えることを可能とする半導体装置の製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】

本発明者は、鋭意検討の結果、以下に示す発明の諸態様に想到した。

【0007】

本発明は、単結晶半導体領域にゲート、ソース／ドレインを有してなる半導体装置の製造方法を対象とし、前記単結晶半導体領域上にゲート絶縁膜を介して前記ゲートをパターン形成する第1の工程と、前記ゲートをマスクとして、前記単結晶半導体領域の表面に対して斜め方向から、当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、前記ゲート下部の前記単結晶半導体領域内に回り込む非晶質領域を形成する第2の工程と、前記第2の工程の前又は後に、前記ゲートをマスクとして前記単結晶半導体領域の表面に不純物を導入する第3の工程と、前記単結晶半導体領域にレーザー照射して前記不純物を活性化し、前記ソース／ドレインを形成する第4の工程とを含む。

【0008】

また本発明は、いわゆるLDD構造の半導体装置の製造方法を対象とし、単結晶半導体領域上にゲート絶縁膜を介して前記ゲートをパターン形成する第1の工程と、前記ゲートをマスクとして、前記単結晶半導体領域の表面に対して斜め方向から、当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、前記ゲート下部の前記単結晶半導体領域内に回り込む第1の非晶質領域を形成する第2の工程と、前記第2の工程の前又は後に、前記ゲートをマスクとして前記単結晶半導体領域の表面に不純物を導入し、第1の接合領域を形成する第3の工程と、前記ゲートの側面に側壁絶縁膜を形成する第4の工程と、前記ゲート

及び前記側壁絶縁膜をマスクとして、前記単結晶半導体領域の表面に当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、前記第1の非晶質領域よりも深い第2の非晶質領域を形成する第5の工程と、前記第5の工程の前又は後に、前記ゲート及び前記側壁絶縁膜をマスクとして、前記単結晶半導体領域の表面に不純物を導入し、前記第1の接合領域よりも深い第2の接合領域を形成する第6の工程と、前記側壁絶縁膜を除去した後、前記単結晶半導体領域にレーザー照射して、前記第1及び第2の接合領域の前記不純物を活性化し、前記ソース／ドレインを形成する第7の工程とを含む。

【0009】

また本発明の半導体装置の製造方法は、単結晶半導体を非晶質化するに足る程度の性質を有する原子を、所定のマスクを用いて単結晶半導体領域に異なる導入条件で少なくとも2回導入し、各回の前記原子の導入に応じた異なる深さ及び面積の各非晶質領域を形成する工程と、各々の前記原子の導入前又は後に、PN接合を形成するための不純物を導入する工程と、前記単結晶半導体領域にレーザー照射し、導入された前記不純物を活性化して、前記PN接合を形成する工程とを含む。

【0010】

【発明の実施の形態】

以下、本発明を適用した半導体装置の製造方法の具体的な実施形態について、図面を参照しながら詳細に説明する。

【0011】

（本発明の主要原理）

初めに、本発明の主要原理について、ゲート、ソース／ドレインを備えたMOSトランジスタの製造に本発明を適用した場合を例示して説明する。

本発明の主要構成は、Si単結晶の半導体基板に不純物をイオン注入して不純物拡散領域を形成した後、基板にアニール処理を施して不純物を活性化しソース／ドレインを形成する場合において、アニール処理にレーザーアニールを用いて好適にソース／ドレインを形成することにある。

【0012】

具体的には、図 1 に示すように、N 型シリコン単結晶の半導体基板 1 にゲート絶縁膜 2 を介してゲート電極 3 をパターン形成した後、ゲート電極 3 をマスクとして基板 1 の Si 表面に対して斜め方向から、単結晶 Si を非晶質化するに足る程度の性質を有する原子、ここでは Ge^+ をイオン注入し（矢印 4 で示す）、単結晶 Si を溶融再結晶化して、ゲート電極 3 下部の基板 1 内に回り込む非晶質領域 5 を形成する。しかる後、非晶質領域 5 に P 型不純物、ここでは B^+ をイオン注入し、レーザー照射を実行する。なお、Ge 注入工程と B 注入工程とは順を替えて実行しても良い。

【 0 0 1 3 】

図 2 に、Ge 注入、B 注入を行った後、レーザーアニールを施したサンプルの二次イオン質量分析の結果を示す。

Ge, Si, As などの質量の重い原子をイオン注入すると、Si 基板は非晶質化する。非晶質化した領域は、単結晶の領域よりも融点が低くなるため、レーザー照射条件を選択、ここではイオン注入の加速エネルギーを選んで非晶質領域の深さを調節すること、及び非晶質領域は溶融するが単結晶領域は溶融しないように、レーザー照射条件を選ぶことにより、レーザー照射による溶融領域を制御することができる。

【 0 0 1 4 】

図 2 では、Ge 注入時の加速エネルギーを変えることにより、非晶質領域の深さを変えたサンプルの結果を示すが、重原子を斜め方向に注入することにより横方向の溶融領域の制御も可能となる。この技術を、ゲート電極形成後の不純物注入時に用いると、ゲート電極下部に回り込む非晶質領域が制御でき、その重原子イオン注入工程の前又は後に、PN 接合形成のための不純物をイオン注入し、レーザーアニールを行うことにより、不純物拡散領域のゲートオーバーラップ量を制御することが可能となる。

【 0 0 1 5 】

また、この技術を金属（Al, Cu 等）ゲート電極を有する MOS トランジスタ作製のプロセスと組み合わせた場合、金属ゲート電極はポリシリコンゲート電極よりも重原子イオン注入によるダメージを受け難いという利点がある。

【0016】

また、タンタルオキサイドなどの高誘電体絶縁膜からなるゲート絶縁膜と金属ゲート電極との組み合わせを用いた場合、レーザーアニールプロセスはゲート絶縁膜には熱がかからず、実際に熱処理の必要なソース／ドレインのみを選択的に熱処理できるため、高温熱処理を嫌う高誘電体絶縁膜のMOSトランジスタプロセスとの整合性向上を図ることができる。

【0017】

(MOSトランジスタの具体的な製造方法)

以下、本発明を適用したMOSトランジスタの製造方法の具体例を図4、図5を用いて工程順に説明する。

【0018】

(1) 素子分離～ゲート電極形成(図3(a))

まず、単結晶Siの半導体基板11上に、素子領域を画定するための不図示の素子分離構造(LOCOS法によるフィールド酸化膜、STI法による溝内絶縁膜など)の形成、不純物のイオン注入によるウェル構造の形成、しきい値制御のためのイオン注入など、通常のMOSトランジスタの製造プロセスを実行する。

【0019】

続いて、半導体基板11の画定された素子領域上にゲート絶縁膜12を形成する。このゲート絶縁膜は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、シリコン酸化膜よりも誘電率の高い金属酸化物膜から選ばれた1種又はこれらの積層構造膜である。

【0020】

続いて、ゲート絶縁膜12上にゲート電極材料、ここではポリシリコン、ポリゲルマニウム、ポリシリコンゲルマニウム、AlやCu等の金属から選ばれた1種を堆積し、当該電極材料及びゲート絶縁膜12をフォトリソグラフィー及びそれに続くドライエッチングによりパターンニングして、ゲート電極13(及びこれに倣った形状に加工されたゲート絶縁膜12)を形成する。

【0021】

(2) 重原子を用いたイオン注入による第1の非晶質領域の形成(図3(b))

ゲート電極13をマスクとして、半導体基板11の素子領域の表層に対して斜め方向から、単結晶Siを非晶質化するに足る程度の性質を有する原子をイオン注入する(矢印31で示す)。当該原子としては、Si, Ge, As, Arから選ばれた1種が好適であり、ここではGe⁺とし、注入条件は加速エネルギーを15keV、ドーズ量を $4 \times 10^{14} / \text{cm}^2$ とする。また、イオン注入の方向は、半導体基板11の表面に対する垂直方向からの角度 x° をtiltで定義して(即ち垂直方向がtilt0)、tilt20とする。このイオン注入により、単結晶Siを溶融再結晶化して、ゲート電極3下部の基板11内に回り込むように第1の非晶質領域14を形成する。

【0022】

(3) 浅いPN接合の形成(図3(c))

続いて、ゲート電極13をマスクとして、素子領域の表層に半導体基板11の導電型と反対導電型の不純物をイオン注入する(矢印32で示す)。例えば、図示の如く、製造するMOSトランジスタがPMOSであればB⁺を加速エネルギー0.5keV、ドーズ量を $1 \times 10^{16} / \text{cm}^2$ の条件で、NMOSであればP⁺を加速エネルギー2keV、ドーズ量を $1 \times 10^{16} / \text{cm}^2$ の条件でイオン注入し、浅いPN接合領域15を形成する。

【0023】

(4) 重原子を用いたイオン注入による第2の非晶質領域の形成(図3(d))

続いて、基板全面にシリコン酸化膜又はシリコン窒化膜等の絶縁膜を堆積形成した後、この絶縁膜の全面を異方性エッチング(エッチバック)することにより、ゲート電極13の側面のみに絶縁膜を残し、サイドウォール16を形成する。

【0024】

続いて、ゲート電極13及びサイドウォール16をマスクとして、素子領域の表層に単結晶Siを非晶質化するに足る程度の性質を有する原子、ここではGe⁺をイオン注入し(矢印33で示す)、第2の非晶質領域17を形成する。このとき、注入条件は第1の非晶質領域14の形成時よりも深く非晶質化される条件、例えば加速エネルギーを60keV、ドーズ量を $4 \times 10^{14} / \text{cm}^2$ とする。

【0025】

(5) 深いPN接合の形成 (図3 (e))

続いて、ゲート電極13及びサイドウォール16をマスクとして、素子領域の表層に半導体基板11の導電型と反対導電型の不純物をイオン注入する (矢印34で示す)。このとき、注入条件は浅いPN接合領域15の形成時よりも深く拡散される条件、例えば、図示の如く、製造するMOSトランジスタがPMOSであれば B^+ を加速エネルギー5keV、ドーズ量を $1 \times 10^{16} / \text{cm}^2$ の条件で、NMOSであれば P^+ を加速エネルギー15keV、ドーズ量を $1 \times 10^{16} / \text{cm}^2$ の条件でイオン注入し、浅いPN接合領域15と重畳されてなる深いPN接合領域18を形成する。

【0026】

(6) レーザーアニール (図4 (a))

続いて、サイドウォール16をフッ酸等を用いたウェットエッチングにより除去した後、XeCl, ArF等のエキシマ・パルス・レーザーを基板表面に1回又は複数回照射し (矢印35で示す)、PN接合領域15, 18の不純物を活性化し、PN接合領域15, 18に対応したソース/ドレイン19を形成する。このように本例では、1度のレーザーアニール工程で2種の接合領域からなるLDD構造のソース/ドレイン19の活性化を行うことができる。

【0027】

(7) シリサイド化 (サリサイド化) (図4 (b) 又は図4 (c))

まず、基板全面にシリコン酸化膜又はシリコン窒化膜等の絶縁膜を堆積形成した後、この絶縁膜の全面を異方性エッチング (エッチバック) することにより、ゲート電極13の側面のみに絶縁膜を残し、再びサイドウォール20を形成する。

【0028】

続いて、図4 (b) に示すように、ゲート電極13がAlやCu等の金属材料からなる金属ゲートである場合、シリサイド・プロセスとしてソース/ドレイン19上にTi, Pt, Co, Ni等の金属膜をスパッタ法等により形成し、アニール処理を施すことにより、金属シリサイド膜21を形成する。

【0029】

他方、図 4 (c) に示すように、ゲート電極 1 3 がポリシリコン等からなる場合、サリサイド・プロセスとしてゲート電極 1 3 上及びソース／ドレイン 1 9 上に Ti, Pt, Co, Ni 等の金属膜をスパッタ法等により形成し、アニール処理を施すことにより、金属シリサイド膜 2 1 を形成する。

【 0 0 3 0 】

レーザーアニールにより活性化され形成されたソース／ドレイン 1 8 は、高不純物濃度まで活性化した箱型の不純物プロファイルを有するため、シリサイド（サリサイド）・プロセスとの整合性は良い。

【 0 0 3 1 】

しかる後、不図示の層間絶縁膜やコンタクト孔、各配線層の形成等の後工程を経て、MOS トランジスタを完成させる。

【 0 0 3 2 】

以上説明したように、本実施形態によれば、レーザーアニール法を用いて寄生抵抗の増加等の不都合を招くことなく急峻な不純物プロファイルが得られ、MOS トランジスタの更なる微細化・高集積化に十分応えることが可能となる。

【 0 0 3 3 】

なお、本実施形態では半導体装置として MOS トランジスタを例示し、LDD 構造のソース／ドレインを形成する際のレーザーアニール処理に本発明の主構成を適用したが、本発明はこれに限定されることなく、例えば異なる導入条件で 3 回以上の不純物イオン注入を要し、各不純物イオン注入に対応して前記非晶質化のための重原子イオン注入を行い、1 度のレーザーアニール処理で不純物活性化を図る場合にも適用して好適である。

【 0 0 3 4 】

以下、本発明の諸態様を付記として記載する。

【 0 0 3 5 】

(付記 1) 単結晶半導体領域にゲート、ソース／ドレインを有してなる半導体装置の製造方法であって、

前記単結晶半導体領域上にゲート絶縁膜を介して前記ゲートをパターン形成する第 1 の工程と、

前記ゲートをマスクとして、前記単結晶半導体領域の表面に対して斜め方向から、当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、前記ゲート下部の前記単結晶半導体領域内に回り込む非晶質領域を形成する第2の工程と、

前記第2の工程の前又は後に、前記ゲートをマスクとして前記単結晶半導体領域の表面に不純物を導入する第3の工程と、

前記単結晶半導体領域にレーザー照射して前記不純物を活性化し、前記ソース／ドレインを形成する第4の工程とを含むことを特徴とする半導体装置の製造方法。

【 0 0 3 6 】

(付記2) 前記第4の工程の後に、前記ゲート及び前記側壁絶縁膜をマスクとして、前記ソース／ドレインの表層をシリサイド化する第5の工程を含むことを特徴とする付記1に記載の半導体装置の製造方法。

【 0 0 3 7 】

(付記3) 単結晶半導体領域にゲート、ソース／ドレインを有してなる半導体装置の製造方法であって、

前記単結晶半導体領域上にゲート絶縁膜を介して前記ゲートをパターン形成する第1の工程と、

前記ゲートをマスクとして、前記単結晶半導体領域の表面に対して斜め方向から、当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、前記ゲート下部の前記単結晶半導体領域内に回り込む第1の非晶質領域を形成する第2の工程と、

前記第2の工程の前又は後に、前記ゲートをマスクとして前記単結晶半導体領域の表面に不純物を導入し、第1の接合領域を形成する第3の工程と、

前記ゲートの側面に側壁絶縁膜を形成する第4の工程と、

前記ゲート及び前記側壁絶縁膜をマスクとして、前記単結晶半導体領域の表面に当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、前記第1の非晶質領域よりも深い第2の非晶質領域を形成する第5の工程と、

前記第5の工程の前又は後に、前記ゲート及び前記側壁絶縁膜をマスクとして

、前記単結晶半導体領域の表面に不純物を導入し、前記第 1 の接合領域よりも深い第 2 の接合領域を形成する第 6 の工程と、

前記側壁絶縁膜を除去した後、前記単結晶半導体領域にレーザー照射して、前記第 1 及び第 2 の接合領域の前記不純物を活性化し、前記ソース／ドレインを形成する第 7 の工程とを含むことを特徴とする半導体装置の製造方法。

【 0 0 3 8 】

(付記 4) 前記第 7 の工程の後に、前記ゲート及び前記側壁絶縁膜をマスクとして、前記ソース／ドレインの表層をシリサイド化する第 8 の工程を含むことを特徴とする付記 3 に記載の半導体装置の製造方法。

【 0 0 3 9 】

(付記 5) 前記レーザー照射の強度が、前記非晶質半導体は溶融するが単結晶半導体溶融しない条件の値であることを特徴とする付記 1 ～ 4 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 4 0 】

(付記 6) 前記ゲート絶縁膜は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、シリコン酸化膜よりも誘電率の高い金属酸化物膜から選ばれた 1 種又はこれらの積層構造膜であることを特徴とする付記 1 ～ 5 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 4 1 】

(付記 7) 前記ゲートの材料は、シリコン、ゲルマニウム、シリコンゲルマニウム、金属から選ばれた 1 種であることを特徴とする付記 1 ～ 6 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 4 2 】

(付記 8) 前記単結晶半導体を非晶質化するに足る程度の性質を有する原子は、Si, Ge, As, Ar から選ばれた 1 種であることを特徴とする付記 1 ～ 7 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 4 3 】

(付記 9) 単結晶半導体を非晶質化するに足る程度の性質を有する原子を、所定のマスクを用いて単結晶半導体領域に異なる導入条件で少なくとも 2 回導入し

、各回の前記原子の導入に応じた異なる深さ及び面積の各非晶質領域を形成する工程と、

各々の前記原子の導入前又は後に、PN接合を形成するための不純物を導入する工程と、

前記単結晶半導体領域にレーザー照射し、導入された前記不純物を活性化して、前記PN接合を形成する工程とを含むことを特徴とする半導体装置の製造方法

。

【0044】

(付記10) 前記原子の導入を行うに際して、少なくとも1回の前記原子の導入時に、前記マスク下部の前記単結晶半導体領域内に前記原子が回り込むように、前記単結晶半導体領域の表面に対して斜め方向から導入することを特徴とする付記9に記載の半導体装置の製造方法。

【0045】

(付記11) 前記レーザー照射の強度が、前記非晶質半導体は溶融するが単結晶半導体溶融しない条件の値であることを特徴とする付記9又は10に記載の半導体装置の製造方法。

【0046】

(付記12) 前記単結晶半導体を非晶質化するに足る程度の性質を有する原子は、Si, Ge, As, Arから選ばれた1種であることを特徴とする付記9～11のいずれか1項に記載の半導体装置の製造方法。

【0047】

【発明の効果】

本発明の半導体装置の製造方法によれば、レーザーアニール法を用いて寄生抵抗の増加等の不都合を招くことなく急峻な不純物プロファイルが得られ、半導体素子の更なる微細化・高集積化に十分応えることが可能となる。

【図面の簡単な説明】

【図1】

本発明の主要構成を説明するために、MOSトランジスタの製造工程を例示した概略断面図である。

【図 2】

Ge 注入、B 注入を行った後、レーザーアニールを施したサンプルの二次イオン質量分析の結果を示す特性図である。

【図 3】

本発明の実施形態による MOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 4】

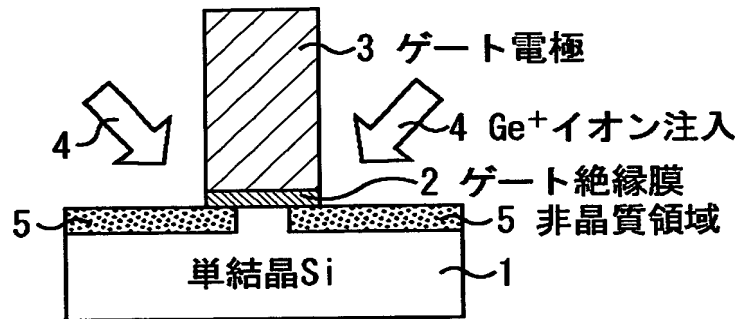
図 3 に引き続き、本発明の実施形態による MOS トランジスタの製造方法を工程順に示す概略断面図である。

【符号の説明】

- 1 N 型シリコン単結晶の半導体基板
- 2, 12 ゲート絶縁膜
- 3, 13 ゲート電極
- 5 非晶質領域
- 11 シリコン単結晶の半導体基板
- 14 第 1 の非晶質領域
- 15 浅い PN 接合領域
- 16, 20 サイドウォール
- 17 第 2 の非晶質領域
- 18 深い PN 接合領域
- 19 ソース／ドレイン
- 21 金属シリサイド膜

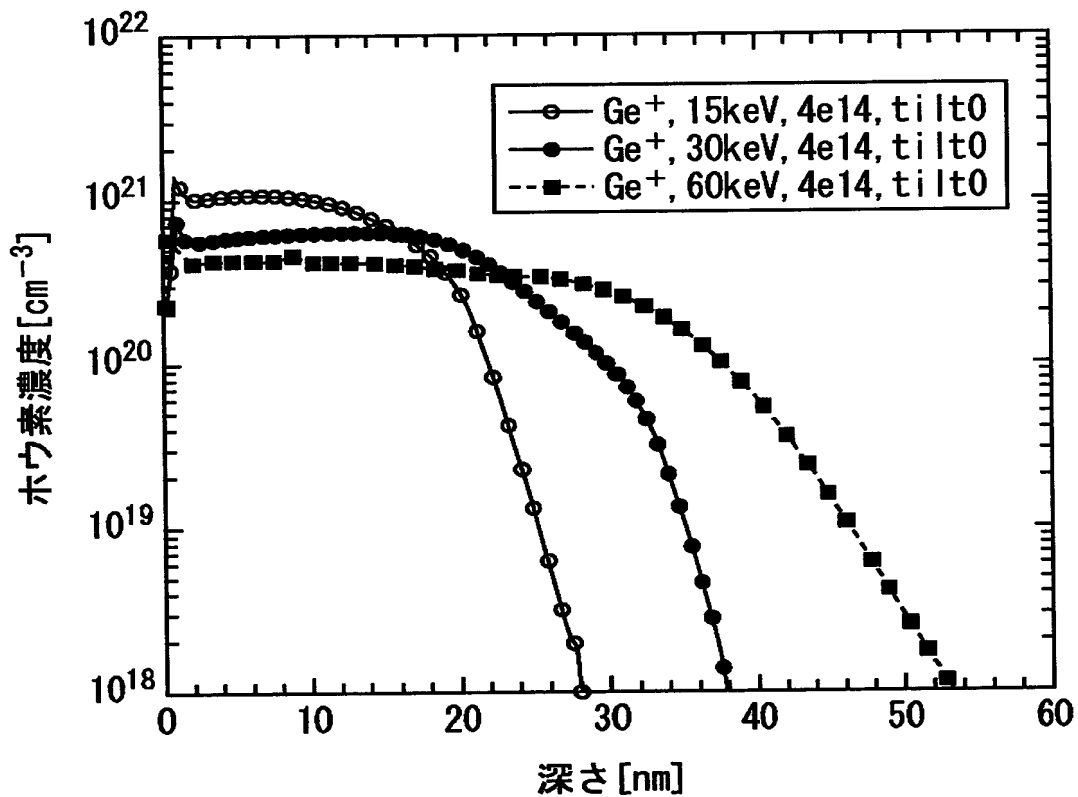
【書類名】 図面

【図 1】



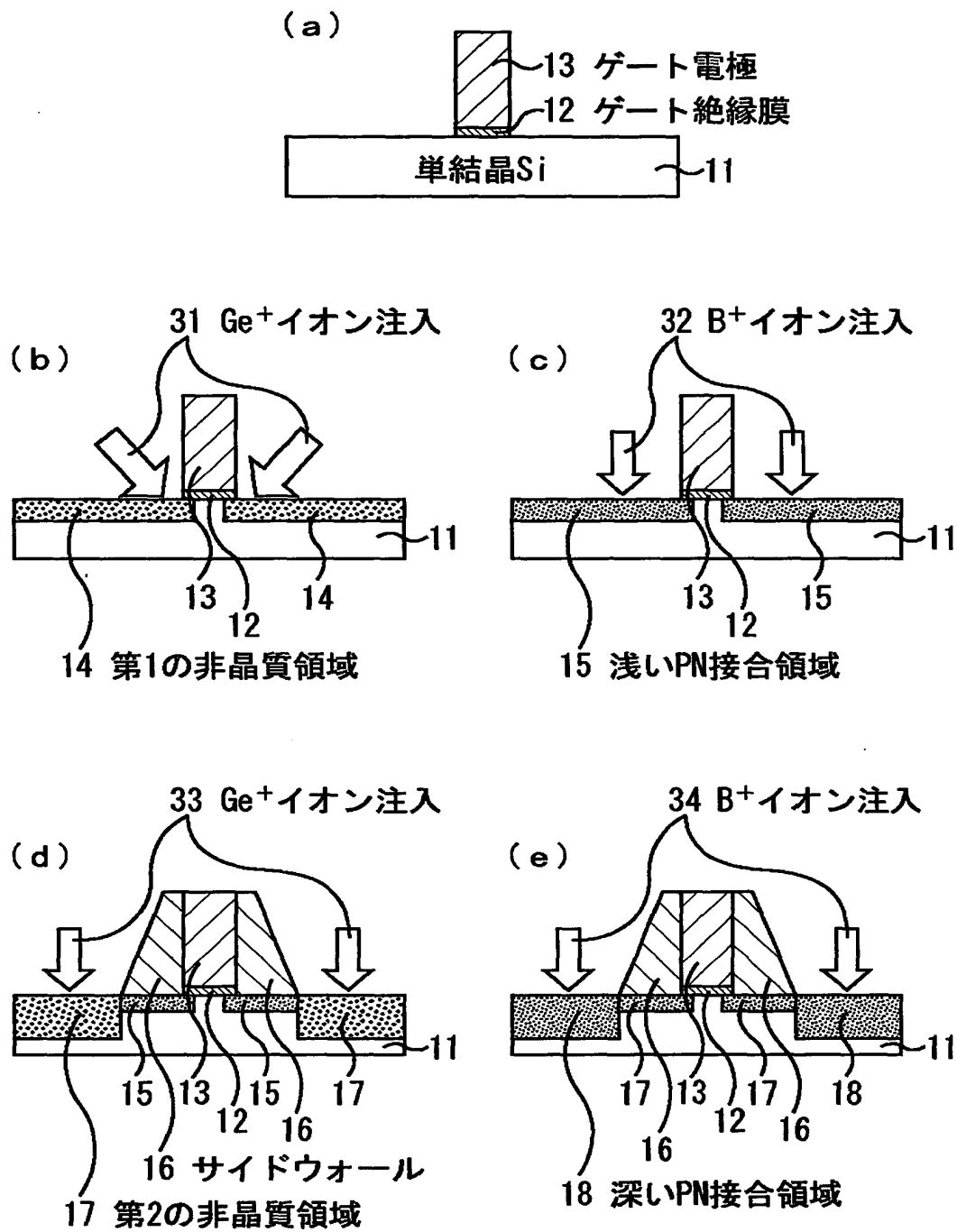
斜め非晶質化注入によりゲート電極下部
まで非晶質化(この部分の不純物が活性化)

【図 2】



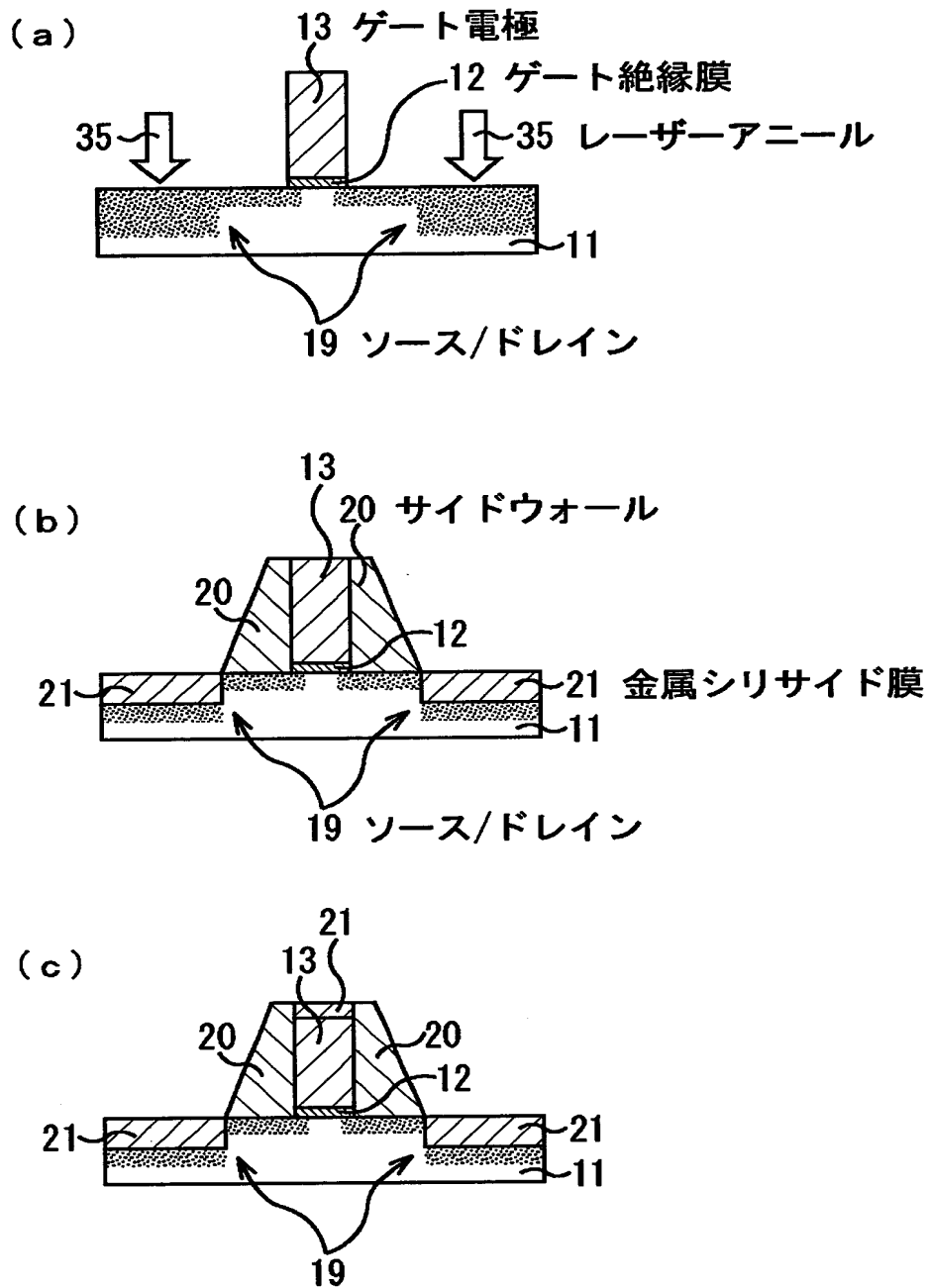
二次イオン質量分析

【図3】



本実施形態によるMOSトランジスタの製法

【図 4】



本実施形態のMOSトランジスタの製法

【書類名】 要約書

【要約】

【課題】 レーザーアニール法を用いて寄生抵抗の増加等の不都合を招くことなく急峻な不純物プロファイルが得られ、半導体素子の更なる微細化・高集積化に十分応えることを可能とする。

【解決手段】 N型シリコン単結晶の半導体基板1にゲート絶縁膜2を介してゲート電極3をパターン形成した後、ゲート電極3をマスクとして基板1のSi表面に対して斜め方向から、単結晶Siを非晶質化するに足る程度の性質を有する原子、ここではGe⁺をイオン注入し（矢印4で示す）、単結晶Siを溶融再結晶化して、ゲート電極3下部の基板1内に回り込む非晶質領域5を形成する。しかる後、非晶質領域5にB⁺をイオン注入し、レーザー照射を実行する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2002年 1月31日

出 願 番 号

Application Number: 特願2002-024468

[ST.10/C]:

[JP 2002-024468]

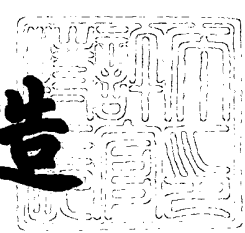
出 願 人

Applicant(s): 富士通株式会社

2002年 2月22日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3009822

【書類名】 特許願

【整理番号】 0141053

【提出日】 平成14年 1月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 8

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 山本 知成

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100090273

 【弁理士】

 【氏名又は名称】 國分 孝悦

 【電話番号】 03-3590-8901

【先の出願に基づく優先権主張】

 【出願番号】 特願2001- 59060

 【出願日】 平成13年 3月 2日

【手数料の表示】

 【予納台帳番号】 035493

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

特 2 0 0 2 - 0 2 4 4 6 8

【包括委任状番号】 9908504

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 単結晶半導体領域にゲート、ソース／ドレインを有してなる半導体装置の製造方法であって、

前記単結晶半導体領域上にゲート絶縁膜を介して前記ゲートをパターン形成する第 1 の工程と、

前記ゲートをマスクとして、前記単結晶半導体領域の表面に対して斜め方向から、当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、前記ゲート下部の前記単結晶半導体領域内に回り込む非晶質領域を形成する第 2 の工程と、

前記第 2 の工程の前又は後に、前記ゲートをマスクとして前記単結晶半導体領域の表面に不純物を導入する第 3 の工程と、

前記単結晶半導体領域にレーザー照射して前記不純物を活性化し、前記ソース／ドレインを形成する第 4 の工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】 単結晶半導体領域にゲート、ソース／ドレインを有してなる半導体装置の製造方法であって、

前記単結晶半導体領域上にゲート絶縁膜を介して前記ゲートをパターン形成する第 1 の工程と、

前記ゲートをマスクとして、前記単結晶半導体領域の表面に対して斜め方向から、当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、前記ゲート下部の前記単結晶半導体領域内に回り込む第 1 の非晶質領域を形成する第 2 の工程と、

前記第 2 の工程の前又は後に、前記ゲートをマスクとして前記単結晶半導体領域の表面に不純物を導入し、第 1 の接合領域を形成する第 3 の工程と、

前記ゲートの側面に側壁絶縁膜を形成する第 4 の工程と、

前記ゲート及び前記側壁絶縁膜をマスクとして、前記単結晶半導体領域の表面に当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、前

記第 1 の非晶質領域よりも深い第 2 の非晶質領域を形成する第 5 の工程と、

前記第 5 の工程の前又は後に、前記ゲート及び前記側壁絶縁膜をマスクとして、前記単結晶半導体領域の表面に不純物を導入し、前記第 1 の接合領域よりも深い第 2 の接合領域を形成する第 6 の工程と、

前記側壁絶縁膜を除去した後、前記単結晶半導体領域にレーザー照射して、前記第 1 及び第 2 の接合領域の前記不純物を活性化し、前記ソース／ドレインを形成する第 7 の工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 3】 単結晶半導体を非晶質化するに足る程度の性質を有する原子を、所定のマスクを用いて単結晶半導体領域に異なる導入条件で少なくとも 2 回導入し、各回の前記原子の導入に応じた異なる深さ及び面積の各非晶質領域を形成する工程と、

各々の前記原子の導入前又は後に、PN 接合を形成するための不純物を導入する工程と、

前記単結晶半導体領域にレーザー照射し、導入された前記不純物を活性化して、前記 PN 接合を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 4】 単結晶半導体領域にゲート、ソース／ドレインを有してなる半導体装置の製造方法であって、

前記単結晶半導体領域上にゲート絶縁膜を介して前記ゲートをパターン形成する第 1 の工程と、

前記ゲートをマスクとして、前記単結晶半導体領域の表面に対して、当該単結晶半導体を非晶質化する性質を有する原子を導入し、非晶質領域を形成する第 2 の工程と、

前記第 2 の工程の前又は後に、前記ゲートをマスクとして前記単結晶半導体領域の表面に不純物を導入する第 3 の工程と、

前記単結晶半導体領域にレーザー照射して前記不純物を活性化し、前記ソース／ドレインを形成する第 4 の工程とを含み、

前記第 2 の工程において前記原子の導入条件を、前記第 4 の工程においてレーザー照射強度条件をそれぞれ制御し、前記ソース／ドレインの前記非晶質領域に

相当する部分が前記ゲート下部の前記単結晶半導体領域内に回り込むように形成することを特徴とする半導体装置の製造方法。

【請求項 5】 単結晶半導体領域にゲート、ソース／ドレインを有してなる半導体装置の製造方法であって、

前記単結晶半導体領域上にゲート絶縁膜を介して前記ゲートをパターン形成する第 1 の工程と、

前記ゲートの側面に側壁絶縁膜を形成し、不純物を導入して深い第 1 の接合領域を形成する第 2 の工程と、

前記側壁絶縁膜を除去した後、前記ゲートをマスクとして、前記単結晶半導体領域の表面に対して、当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、非晶質領域を形成する第 3 の工程と、

前記第 2 の工程の前又は後に、前記ゲートをマスクとして前記単結晶半導体領域の表面に不純物を導入して浅い第 2 の接合領域を形成する第 4 の工程と、

前記単結晶半導体領域にレーザー照射して前記第 1 及び第 2 の接合領域の前記不純物を活性化し、前記ソース／ドレインを形成する第 5 の工程とを含み、

前記第 3 の工程において前記原子の導入条件を、前記第 5 の工程においてレーザー照射強度条件をそれぞれ制御し、前記ソース／ドレインの前記非晶質領域に相当する部分が前記ゲート下部の前記単結晶半導体領域内に回り込むように形成することを特徴とする半導体装置の製造方法。

【請求項 6】 単結晶半導体領域にゲート、ソース／ドレインを有してなる半導体装置の製造方法であって、

前記単結晶半導体領域上にゲート絶縁膜を介して前記ゲートをパターン形成する第 1 の工程と、

前記ゲートをマスクとして、前記単結晶半導体領域の表面に対して斜め方向から、当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、前記ゲート下部の前記単結晶半導体領域内に回り込む非晶質領域を形成する第 2 の工程と、

前記第 2 の工程の前又は後に、前記ゲートをマスクとして前記単結晶半導体領域の表面に不純物を導入する第 3 の工程と、

前記単結晶半導体領域にレーザー照射して前記不純物を活性化し、前記ソース／ドレインを形成する第4の工程とを含み、

前記第2の工程において、前記単結晶半導体領域の表面に垂直な方向に対する前記原子導入の傾斜角度を前記ドレイン側に比して前記ソース側が大きくなるように制御し、前記非晶質領域をその前記ゲート下部の前記単結晶半導体領域内への回り込み量が前記ドレイン側に比して前記ソース側が大きくなるように形成することを特徴とする半導体装置の製造方法。

【請求項7】 単結晶半導体領域にゲート、ソース／ドレインを有してなる半導体装置であって、

前記ソース／ドレインは、前記ゲート下部の前記単結晶半導体領域内への回り込む浅い接合と、前記浅い接合の下方へ拡散してなる深い接合とが一体化してなり、

少なくとも前記浅い接合は、不純物とともに前記単結晶半導体を非晶質化するに足る程度の性質を有する原子を含み、

前記ソース側の電気容量が $0.25 \text{ (fF}/\mu\text{m}/\text{side})$ 以上であることを特徴とする半導体装置。

【請求項8】 単結晶半導体領域にゲート、ソース／ドレインを有してなる半導体装置であって、

前記ソース／ドレインは、前記ゲート下部の前記単結晶半導体領域内への回り込む浅い接合と、前記浅い接合の下方へ拡散してなる深い接合とが一体化してなり、

少なくとも前記浅い接合は、不純物とともに前記単結晶半導体を非晶質化するに足る程度の性質を有する原子を含み、

前記浅い接合の前記ゲート下部の前記単結晶半導体領域内への回り込み量が前記ドレイン側に比して前記ソース側が大きくなるように形成されるとともに、前記ソース側の電気容量が $0.25 \text{ (fF}/\mu\text{m}/\text{side})$ 以上であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に、ゲート長が $0.1\mu\text{m}$ を下回る世代のMOSトランジスタにおけるソース／ドレインの形成に適用して好適である。

【0002】

【従来の技術】

近時では、レーザーアニール技術は急速ランプ加熱に代わる次世代の熱プロセスとして期待されている。この技術は、数 ns という超短時間での溶融再結晶過程という非平衡の熱プロセスであり、通常は温度で制限される不純物の半導体中の固溶限界を超えた高い電気的活性化が得られ、また、急峻な不純物プロファイルが得られる、という利点があるため、低いコンタクト抵抗のソース／ドレインや、より浅く急峻な不純物拡散（エクステンション）領域の形成が可能となる。

【0003】

【発明が解決しようとする課題】

しかしながら、レーザーアニールによって得られた急峻な不純物拡散は、不純物プロファイルが急峻すぎるため、イオン注入時のマスクとなるゲート電極近傍で不純物拡散領域が厳格に確定されてしまい、そのため寄生抵抗が逆に増大してしまうという問題点がある。

【0004】

このように、レーザーアニール法を用いることにより、超短時間の活性化処理で急峻な不純物プロファイルが得られ、低コンタクト抵抗化等に大きく寄与する反面、寄生抵抗の増加を招くという深刻な問題がある。

【0005】

そこで本発明は、前記課題に鑑みてなされたものであり、レーザーアニール法を用いて寄生抵抗の増加等の不都合を招くことなく急峻な不純物プロファイルが得られ、半導体素子の更なる微細化・高集積化に十分応えることを可能とする半導体装置及びその製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】

本発明者は、鋭意検討の結果、以下に示す発明の諸態様に想到した。

【0007】

本発明の製造方法（第1の態様）は、単結晶半導体領域にゲート、ソース／ドレインを有してなる半導体装置の製造方法を対象とし、前記単結晶半導体領域上にゲート絶縁膜を介して前記ゲートをパターン形成する第1の工程と、前記ゲートをマスクとして、前記単結晶半導体領域の表面に対して斜め方向から、当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、前記ゲート下部の前記単結晶半導体領域内に回り込む非晶質領域を形成する第2の工程と、前記第2の工程の前又は後に、前記ゲートをマスクとして前記単結晶半導体領域の表面に不純物を導入する第3の工程と、前記単結晶半導体領域にレーザー照射して前記不純物を活性化し、前記ソース／ドレインを形成する第4の工程とを含む。

【0008】

また本発明（第2の態様）は、いわゆるLDD構造の半導体装置の製造方法を対象とし、単結晶半導体領域上にゲート絶縁膜を介して前記ゲートをパターン形成する第1の工程と、前記ゲートをマスクとして、前記単結晶半導体領域の表面に対して斜め方向から、当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、前記ゲート下部の前記単結晶半導体領域内に回り込む第1の非晶質領域を形成する第2の工程と、前記第2の工程の前又は後に、前記ゲートをマスクとして前記単結晶半導体領域の表面に不純物を導入し、第1の接合領域を形成する第3の工程と、前記ゲートの側面に側壁絶縁膜を形成する第4の工程と、前記ゲート及び前記側壁絶縁膜をマスクとして、前記単結晶半導体領域の表面に当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、前記第1の非晶質領域よりも深い第2の非晶質領域を形成する第5の工程と、前記第5の工程の前又は後に、前記ゲート及び前記側壁絶縁膜をマスクとして、前記単結晶半導体領域の表面に不純物を導入し、前記第1の接合領域よりも深い第2の接合領域を形成する第6の工程と、前記側壁絶縁膜を除去した後、前記単結晶半導体領域にレーザー照射して、前記第1及び第2の接合領域の前記不純物を

活性化し、前記ソース／ドレインを形成する第7の工程とを含む。

【0009】

また本発明の半導体装置の製造方法（第3の態様）は、単結晶半導体を非晶質化するに足る程度の性質を有する原子を、所定のマスクを用いて単結晶半導体領域に異なる導入条件で少なくとも2回導入し、各回の前記原子の導入に応じた異なる深さ及び面積の各非晶質領域を形成する工程と、各々の前記原子の導入前又は後に、PN接合を形成するための不純物を導入する工程と、前記単結晶半導体領域にレーザー照射し、導入された前記不純物を活性化して、前記PN接合を形成する工程とを含む。

【0010】

また本発明の半導体装置の製造方法（第4の態様）は、前記単結晶半導体領域上にゲート絶縁膜を介して前記ゲートをパターン形成する第1の工程と、前記ゲートをマスクとして、前記単結晶半導体領域の表面に対して、当該単結晶半導体を非晶質化する性質を有する原子を導入し、非晶質領域を形成する第2の工程と、前記第2の工程の前又は後に、前記ゲートをマスクとして前記単結晶半導体領域の表面に不純物を導入する第3の工程と、前記単結晶半導体領域にレーザー照射して前記不純物を活性化し、前記ソース／ドレインを形成する第4の工程とを含み、前記第2の工程において前記原子の導入条件を、前記第4の工程においてレーザー照射強度条件をそれぞれ制御し、前記ソース／ドレインの前記非晶質領域に相当する部分が前記ゲート下部の前記単結晶半導体領域内に回り込むように形成する。

【0011】

また本発明の半導体装置の製造方法（第5の態様）は、前記単結晶半導体領域上にゲート絶縁膜を介して前記ゲートをパターン形成する第1の工程と、前記ゲートの側面に側壁絶縁膜を形成し、不純物を導入して深い第1の接合領域を形成する第2の工程と、前記側壁絶縁膜を除去した後、前記ゲートをマスクとして、前記単結晶半導体領域の表面に対して、当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、非晶質領域を形成する第3の工程と、前記第2の工程の前又は後に、前記ゲートをマスクとして前記単結晶半導体領域の表面

に不純物を導入して浅い第2の接合領域を形成する第4の工程と、前記単結晶半導体領域にレーザー照射して前記第1及び第2の接合領域の前記不純物を活性化し、前記ソース／ドレインを形成する第5の工程とを含み、前記第3の工程において前記原子の導入条件を、前記第5の工程においてレーザー照射強度条件をそれぞれ制御し、前記ソース／ドレインの前記非晶質領域に相当する部分が前記ゲート下部の前記単結晶半導体領域内に回り込むように形成する。

【0012】

また本発明の半導体装置の製造方法（第6の態様）は、前記単結晶半導体領域上にゲート絶縁膜を介して前記ゲートをパターン形成する第1の工程と、前記ゲートをマスクとして、前記単結晶半導体領域の表面に対して斜め方向から、当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、前記ゲート下部の前記単結晶半導体領域内に回り込む非晶質領域を形成する第2の工程と、前記第2の工程の前又は後に、前記ゲートをマスクとして前記単結晶半導体領域の表面に不純物を導入する第3の工程と、前記単結晶半導体領域にレーザー照射して前記不純物を活性化し、前記ソース／ドレインを形成する第4の工程とを含み、前記第2の工程において、前記単結晶半導体領域の表面に垂直な方向に対する前記原子導入の傾斜角度を前記ドレイン側に比して前記ソース側が大きくなるように制御し、前記非晶質領域をその前記ゲート下部の前記単結晶半導体領域内への回り込み量が前記ドレイン側に比して前記ソース側が大きくなるように形成する。

【0013】

【発明の実施の形態】

以下、本発明を適用した半導体装置の製造方法の具体的な実施形態について、図面を参照しながら詳細に説明する。

【0014】

ー本発明の主要原理ー

初めに、本発明の主要原理について、ゲート、ソース／ドレインを備えたMOSトランジスタの製造に本発明を適用した場合を例示して説明する。

本発明の主要構成は、Si単結晶の半導体基板に不純物をイオン注入して不純

物拡散領域を形成した後、基板にアニール処理を施して不純物を活性化しソース／ドレインを形成する場合において、アニール処理にレーザーアニールを用いて好適にソース／ドレインを形成することにある。

【0015】

具体的には、図1に示すように、N型シリコン単結晶の半導体基板1にゲート絶縁膜2を介してゲート電極3をパターン形成した後、ゲート電極3をマスクとして基板1のSi表面に対して斜め方向から、単結晶Siを非晶質化するに足る程度の性質を有する原子、ここではGe⁺をイオン注入し（矢印4で示す）、単結晶Siを溶融再結晶化して、ゲート電極3下部の基板1内に回り込む非晶質領域5を形成する。しかる後、非晶質領域5にP型不純物、ここではB⁺をイオン注入し、レーザー照射を実行する。なお、Ge注入工程とB注入工程とは順を替えて実行しても良い。

【0016】

図2に、Ge注入、B注入を行った後、レーザーアニールを施したサンプルの二次イオン質量分析の結果を示す。

Ge, Si, Asなどの質量の重い原子をイオン注入すると、Si基板は非晶質化する。非晶質化した領域は、単結晶の領域よりも融点が低くなるため、レーザー照射条件を選択、ここではイオン注入の加速エネルギーを選んで非晶質領域の深さを調節すること、及び非晶質領域は溶融するが単結晶領域は溶融しないように、レーザー照射条件を選ぶことにより、レーザー照射による溶融領域を制御することができる。

【0017】

図2では、Ge注入時の加速エネルギーを変えることにより、非晶質領域の深さを変えたサンプルの結果を示すが、重原子を斜め方向に注入することにより横方向の溶融領域の制御も可能となる。この技術を、ゲート電極形成後の不純物注入時に用いると、ゲート電極下部に回り込む非晶質領域が制御でき、その重原子イオン注入工程の前又は後に、PN接合形成のための不純物をイオン注入し、レーザーアニールを行うことにより、不純物拡散領域のゲートオーバーラップ量を制御することが可能となる。

【0018】

また、この技術を金属（Al，Cu等）ゲート電極を有するMOSトランジスタ作製のプロセスと組み合わせた場合、金属ゲート電極はポリシリコンゲート電極よりも重原子イオン注入によるダメージを受け難いという利点がある。

【0019】

また、タンタルオキサイドなどの高誘電体絶縁膜からなるゲート絶縁膜と金属ゲート電極との組み合わせを用いた場合、レーザーアニールプロセスはゲート絶縁膜には熱がかからず、実際に熱処理の必要なソース／ドレインのみを選択的に熱処理できるため、高温熱処理を嫌う高誘電体絶縁膜のMOSトランジスタプロセスとの整合性向上を図ることができる。

【0020】

また、上述のように単結晶Siを非晶質化するに足る程度の性質を有する原子を基板1のSi表面に対して斜め方向から注入する替わりに、図3に示すように、通常と同様にSi表面に対して垂直に前記原子を注入する場合でも、前記原子（Ge⁺）の導入条件及びレーザー照射強度条件をそれぞれ制御することにより、同様にゲート電極3下部の基板1内に回り込む非晶質領域5に相当する部分を有するソース／ドレイン6を形成することができる。

【0021】

即ちこの場合、上述のようにGe，Si，Asなどの質量の重い原子をイオン注入すると基板は非晶質化し、非晶質化した領域は単結晶の領域よりも融点が低くなることを利用し、前記原子の導入条件としては、非晶質領域の深さを調節し、非晶質領域がゲート電極3下部の基板1内に回り込むに足る条件であり、前記レーザー照射強度条件としては、非晶質領域は溶融するが、単結晶領域は溶融しない条件とする。これにより、レーザー照射による溶融領域を制御することができる。このとき、図2のように深さ方向におけるB⁺などのドーパントの拡がりが変わるだけでなく、図4に示すように、ゲート電極3下部に回り込むドーパントの拡がりも変わってくる（図4は図2におけるゲート電極3下部とソース／ドレイン6とのオーバーラップ長を示す）。そしてこれらは、レーザーの照射強度によっても調節できる。つまり、重い原子のイオン注入エネルギーを調節するこ

とによって、深さ方向だけでなく、横方向における非晶質領域の拡がりも調節できるため、レーザー照射強度の調節と組み合わせることにより、ゲート電極3下部へのドーパントの横方向への拡がりも制御可能となる。

【0022】

ー具体的な実施形態ー

以下、本発明を適用したMOSトランジスタの製造方法の具体的な諸実施形態を説明する。

【0023】

(第1の実施形態)

先ず、第1の実施形態について図5、図6を用いて工程順に説明する。

【0024】

(1) 素子分離～ゲート電極形成(図5(a))

先ず、単結晶Siの半導体基板11上に、素子領域を画定するための不図示の素子分離構造(LOCOS法によるフィールド酸化膜、STI法による溝内絶縁膜など)の形成、不純物のイオン注入によるウェル構造の形成、しきい値制御のためのイオン注入など、通常のMOSトランジスタの製造プロセスを実行する。

【0025】

続いて、半導体基板11の画定された素子領域上にゲート絶縁膜12を形成する。このゲート絶縁膜は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、シリコン酸化膜よりも誘電率の高い金属酸化物膜から選ばれた1種又はこれらの積層構造膜である。

【0026】

続いて、ゲート絶縁膜12上にゲート電極材料、ここではポリシリコン、ポリゲルマニウム、ポリシリコンゲルマニウム、AlやCu等の金属から選ばれた1種を堆積し、当該電極材料及びゲート絶縁膜12をフォトリソグラフィー及びそれに続くドライエッチングによりパターンニングして、ゲート電極13(及びこれに倣った形状に加工されたゲート絶縁膜12)を形成する。

【0027】

(2) 重原子を用いたイオン注入による第1の非晶質領域の形成(図5(b))

ゲート電極13をマスクとして、半導体基板11の素子領域の表層に対して斜め方向から、単結晶Siを非晶質化するに足る程度の性質を有する原子をイオン注入する（矢印A1で示す）。当該原子としては、Si、Ge、As、Arから選ばれた1種が好適であり、ここでは Ge^+ とし、注入条件は加速エネルギーを15keV、ドーズ量を $4 \times 10^{14} / \text{cm}^2$ とする。また、イオン注入の方向は、半導体基板11の表面に対する垂直方向からの角度 x° を $\text{tilt } x$ で定義して（即ち垂直方向が $\text{tilt } 0$ ）、 $\text{tilt } 20$ とする。このイオン注入により、単結晶Siを溶融再結晶化して、ゲート電極3下部の基板11内に回り込むように第1の非晶質領域14を形成する。

【0028】

(3) 浅いPN接合の形成（図5（c））

続いて、ゲート電極13をマスクとして、素子領域の表層に半導体基板11の導電型と反対導電型の不純物をイオン注入する（矢印A2で示す）。例えば、図示の如く、製造するMOSトランジスタがPMOSであれば B^+ を加速エネルギー0.5keV、ドーズ量を $1 \times 10^{16} / \text{cm}^2$ の条件で、NMOSであれば P^+ を加速エネルギー2keV、ドーズ量を $1 \times 10^{16} / \text{cm}^2$ の条件でイオン注入し、浅いPN接合領域15を形成する。

【0029】

(4) 重原子を用いたイオン注入による第2の非晶質領域の形成（図5（d））

続いて、基板全面にシリコン酸化膜又はシリコン窒化膜等の絶縁膜を堆積形成した後、この絶縁膜の全面を異方性エッチング（エッチバック）することにより、ゲート電極13の側面のみに絶縁膜を残し、サイドウォール16を形成する。

【0030】

続いて、ゲート電極13及びサイドウォール16をマスクとして、素子領域の表層に単結晶Siを非晶質化するに足る程度の性質を有する原子、ここでは Ge^+ をイオン注入し（矢印A3で示す）、第2の非晶質領域17を形成する。このとき、注入条件は第1の非晶質領域14の形成時よりも深く非晶質化される条件、例えば加速エネルギーを60keV、ドーズ量を $4 \times 10^{14} / \text{cm}^2$ とする。

【0031】

(5) 深いPN接合の形成 (図5 (e))

続いて、ゲート電極13及びサイドウォール16をマスクとして、素子領域の表層に半導体基板11の導電型と反対導電型の不純物をイオン注入する (矢印A4で示す)。このとき、注入条件は浅いPN接合領域15の形成時よりも深く拡散される条件、例えば、図示の如く、製造するMOSトランジスタがPMOSであれば B^+ を加速エネルギー5keV、ドーズ量を $1 \times 10^{16} / \text{cm}^2$ の条件で、NMOSであれば P^+ を加速エネルギー15keV、ドーズ量を $1 \times 10^{16} / \text{cm}^2$ の条件でイオン注入し、浅いPN接合領域15と重畳されてなる深いPN接合領域18を形成する。

【0032】

(6) レーザーアニール (図6 (a))

続いて、サイドウォール16をフッ酸等を用いたウェットエッチングにより除去した後、XeCl, ArF等のエキシマ・パルス・レーザーを基板表面に1回又は複数回照射し (矢印A5で示す)、PN接合領域15, 18の不純物を活性化し、PN接合領域15, 18に対応したソース/ドレイン19を形成する。

【0033】

このように本例では、1度のレーザーアニール工程で2種の接合領域からなるLDD構造のソース/ドレイン19の活性化を行うことができる。形成されたソース/ドレイン19は、そのソース側の電気容量が $0.25 (\text{fF} / \mu\text{m} / \text{side})$ 以上となる。この電気容量は、ソース/ドレインのゲート電極とのオーバーラップ量を示す指標となり、レーザーアニール法を用いた従来のMOSトランジスタでは $0.20 \text{ fF} / \mu\text{m}$ 程度であったが、本実施形態では $(0.25 \text{ fF} / \mu\text{m} / \text{side})$ 以上が確保され、十分なオーバーラップが得られたものと考えられる。

【0034】

(7) シリサイド化 (サリサイド化) (図6 (b) 又は図6 (c))

まず、基板全面にシリコン酸化膜又はシリコン窒化膜等の絶縁膜を堆積形成した後、この絶縁膜の全面を異方性エッチング (エッチバック) することにより、ゲート電極13の側面のみに絶縁膜を残し、再びサイドウォール20を形成する

【0035】

続いて、図6(b)に示すように、ゲート電極13がAlやCu等の金属材料からなる金属ゲートである場合、シリサイド・プロセスとしてソース/ドレイン19上にTi, Pt, Co, Ni等の金属膜をスパッタ法等により形成し、アニール処理を施すことにより、金属シリサイド膜21を形成する。

【0036】

他方、図6(c)に示すように、ゲート電極13がポリシリコン等からなる場合、シリサイド・プロセスとしてゲート電極13上及びソース/ドレイン19上にTi, Pt, Co, Ni等の金属膜をスパッタ法等により形成し、アニール処理を施すことにより、金属シリサイド膜21を形成する。

【0037】

レーザーアニールにより活性化され形成されたソース/ドレイン18は、高不純物濃度まで活性化した箱型の不純物プロファイルを有するため、シリサイド(シリサイド)・プロセスとの整合性は良い。

【0038】

しかる後、不図示の層間絶縁膜やコンタクト孔、各配線層の形成等の後工程を経て、MOSトランジスタを完成させる。

【0039】

以上説明したように、本実施形態によれば、レーザーアニール法を用いて寄生抵抗の増加等の不都合を招くことなく急峻な不純物プロファイルが得られ、MOSトランジスタの更なる微細化・高集積化に十分応えることが可能となる。

【0040】

なお、本実施形態では半導体装置としてMOSトランジスタを例示し、LDD構造のソース/ドレインを形成する際のレーザーアニール処理に本発明の主構成を適用したが、本発明はこれに限定されることなく、例えば異なる導入条件で3回以上の不純物イオン注入を要し、各不純物イオン注入に対応して前記非晶質化のための重原子イオン注入を行い、1度のレーザーアニール処理で不純物活性化を図る場合にも適用して好適である。

【0041】

(第2の実施形態)

次に、第2の実施形態について図7を用いて工程順に説明する。

【0042】

(1) 素子分離～ゲート電極形成(図7(a))

まず、単結晶Siの半導体基板11上に、素子領域を画定するための不図示の素子分離構造(LOCOS法によるフィールド酸化膜、STI法による溝内絶縁膜など)の形成、不純物のイオン注入によるウェル構造の形成、しきい値制御のためのイオン注入など、通常のMOSトランジスタの製造プロセスを実行する。

【0043】

続いて、半導体基板11の画定された素子領域上にゲート絶縁膜12を形成する。このゲート絶縁膜は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、シリコン酸化膜よりも誘電率の高い金属酸化物膜から選ばれた1種又はこれらの積層構造膜である。

【0044】

続いて、ゲート絶縁膜12上にゲート電極材料、ここではポリシリコン、ポリゲルマニウム、ポリシリコンゲルマニウム、AlやCu等の金属から選ばれた1種を堆積し、当該電極材料及びゲート絶縁膜12をフォトリソグラフィ及びそれに続くドライエッチングによりパターンニングして、ゲート電極13(及びこれに倣った形状に加工されたゲート絶縁膜12)を形成する。

【0045】

(2) 重原子を用いたイオン注入による非晶質領域の形成(図7(b))

ゲート電極13をマスクとして、半導体基板11の素子領域の表層に対して斜め方向から、単結晶Siを非晶質化するに足る程度の性質を有する原子をイオン注入する(矢印A1で示す)。当該原子としては、Si, Ge, As, Arから選ばれた1種が好適であり、ここではGe⁺とし、注入条件は加速エネルギーを15keV、ドーズ量を $4 \times 10^{14} / \text{cm}^2$ とする。

【0046】

本実施形態では、半導体基板11の表面に垂直な方向に対する前記原子導入の

傾斜角度をドレイン側Dに比してソース側Sが大きくなるように制御し、非晶質領域をそのゲート電極13下部の半導体基板11内への回り込み量がドレイン側Dに比してソース側Sが大きくなるように形成する。具体的に、イオン注入の方向は、半導体基板11の表面に対する垂直方向からの角度 x° を $tilt\ x$ で定義して（即ち垂直方向が $tilt\ 0$ ）、ドレイン側Dを $tilt\ 0$ 、ソース側Sを $tilt\ 30$ とする。このイオン注入により、ドレイン側Dでは、単結晶Siを溶融再結晶化して、ゲート電極3下部の半導体基板11内に回り込むような非晶質領域31bが形成され、ソース側Sでは、非晶質領域31aよりも回り込み量の大きい非晶質領域31aが形成される。

【0047】

(3) ソース/ドレインの形成 (図7(c))

続いて、ゲート電極13をマスクとして、素子領域の表層に半導体基板11の導電型と反対導電型の不純物をイオン注入する（矢印A2で示す）。例えば、図示の如く、製造するMOSトランジスタがPMOSであれば B^+ を加速エネルギー $0.5\ keV$ 、ドーズ量を $1 \times 10^{16}/cm^2$ の条件で、NMOSであれば As^+ を加速エネルギー $2\ keV$ 、ドーズ量を $1 \times 10^{16}/cm^2$ の条件でイオン注入し、ドレイン側DにはPN接合領域32bを、ソース側SにはPN接合領域32aを形成する。

【0048】

(4) レーザーアニール (図7(d))

まず、ゲート電極13を覆うように熱吸収膜33を形成する。この熱吸収膜33は、CVD法によりシリコン酸化膜33aを膜厚 $5\ nm \sim 50\ nm$ に形成し、更にスパッタ法によりTa₂N膜33bを膜厚 $20\ nm \sim 40\ nm$ に形成してなるものである。

【0049】

続いて、XeCl、ArF等のエキシマ・パルス・レーザーやYAGレーザー等を用いたレーザー光を基板表面に1回又は複数回照射し（矢印A3で示す）、PN接合領域32a、32bの不純物を活性化し、PN接合領域32a、32bに対応したソース33及びドレイン34を形成する。この場合、レーザーパワー

としては、 $0.1 \text{ (J/cm}^2\text{)} \sim 0.4 \text{ (J/cm}^2\text{)}$ から選択する。

【0050】

このように本例では、ソース側のゲート電極13下部に回り込む非晶質領域31をドレイン側よりも大きくなるように制御する。これにより、寄生抵抗の抑制に効果の高いソース側のオーバーラップ量は大きく、ドレイン側のオーバーラップ量は短チャネル効果抑制のために小さくすることが可能となる。

【0051】

また、ソース/ドレイン19は、そのソース側の電気容量が $0.25 \text{ (fF/}\mu\text{m/side)}$ 以上となる。この電気容量は、ソース/ドレインのゲート電極とのオーバーラップ量を示す指標となり、レーザーアニール法を用いた従来のMOSトランジスタでは $0.20 \text{ fF/}\mu\text{m}$ 程度であったが、本実施形態では $0.25 \text{ (fF/}\mu\text{m/side)}$ 以上が確保され、十分なオーバーラップが得られたものと考えられる。

【0052】

以上説明したように、本実施形態によれば、レーザーアニール法を用いて寄生抵抗の増加等の不都合を招くことなく急峻な不純物プロファイルが得られ、MOSトランジスタの更なる微細化・高集積化に十分応えることが可能となる。

【0053】

(第3の実施形態)

次に、第3の実施形態について図8を用いて工程順に説明する。

【0054】

(1) 素子分離～ゲート電極形成(図8(a))

まず、単結晶Siの半導体基板11上に、素子領域を画定するための不図示の素子分離構造(LOCOS法によるフィールド酸化膜、STI法による溝内絶縁膜など)の形成、不純物のイオン注入によるウェル構造の形成、しきい値制御のためのイオン注入など、通常のMOSトランジスタの製造プロセスを実行する。

【0055】

続いて、半導体基板11の画定された素子領域上にゲート絶縁膜12を形成する。このゲート絶縁膜は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜

、シリコン酸化膜よりも誘電率の高い金属酸化物膜から選ばれた1種又はこれらの積層構造膜である。

【0056】

続いて、ゲート絶縁膜12上にゲート電極材料、ここではポリシリコン、ポリゲルマニウム、ポリシリコンゲルマニウム、AlやCu等の金属から選ばれた1種を堆積し、当該電極材料及びゲート絶縁膜12をフォトリソグラフィー及びそれに続くドライエッチングによりパターニングして、ゲート電極13（及びこれに倣った形状に加工されたゲート絶縁膜12）を形成する。

【0057】

(2) 重原子を用いたイオン注入による非晶質領域の形成（図8（b））

ゲート電極13をマスクとして、半導体基板11の素子領域の表層に対して斜め方向から、単結晶Siを非晶質化するに足る程度の性質を有する原子をイオン注入し（矢印A1で示す）、深さ方向の拡がり長さが20nm～60nm、横方向の拡がり長さが10nm～30nmとなるように制御して、非晶質領域41を形成する。当該原子としては、Si、Ge、As、Arから選ばれた1種が好適であり、ここではGe⁺とし、注入条件は加速エネルギーを15keV、ドーズ量を $4 \times 10^{14} / \text{cm}^2$ とする。

【0058】

(3) ソース／ドレインの形成（図8（c））

続いて、ゲート電極13をマスクとして、素子領域の表層に半導体基板11の導電型と反対導電型の不純物をイオン注入する（矢印A2で示す）。例えば、図示の如く、製造するMOSトランジスタがPMOSであればB⁺を加速エネルギー0.5keV、ドーズ量を $1 \times 10^{16} / \text{cm}^2$ の条件で、NMOSであればAs⁺を加速エネルギー5keV、ドーズ量を $1 \times 10^{16} / \text{cm}^2$ の条件でイオン注入し、PN接合領域42を形成する。

【0059】

(4) レーザーアニール（図8（d））

先ず、ゲート電極13を覆うように熱吸収膜33を形成する。この熱吸収膜33は、CVD法によりシリコン酸化膜33aを膜厚5nm～50nmに形成し、

更にスパッタ法によりTaN膜33bを膜厚20nm～40nmに形成してなるものである。

【0060】

続いて、XeCl, ArF等のエキシマ・パルス・レーザーやYAGレーザー等を用いたレーザー光を基板表面に1回又は複数回照射し（矢印A3で示す）、PN接合領域42の不純物を活性化し、PN接合領域42に対応したソース/ドレイン19を形成する。この場合、レーザーパワーとしては、 $0.1 \text{ (J/cm}^2\text{)} \sim 0.4 \text{ (J/cm}^2\text{)}$ から選択する。

【0061】

このように本例では、形成されたソース/ドレイン19は、そのソース側の電気容量が $0.25 \text{ (fF/}\mu\text{m/side)}$ 以上となる。この電気容量は、ソース/ドレインのゲート電極とのオーバーラップ量を示す指標となり、レーザーアニール法を用いた従来のMOSトランジスタでは $0.20 \text{ (fF/}\mu\text{m/side)}$ 程度であったが、本実施形態では $0.25 \text{ (fF/}\mu\text{m/side)}$ 以上が確保され、十分なオーバーラップが得られたものと考えられる。

【0062】

以上説明したように、本実施形態によれば、レーザーアニール法を用いて寄生抵抗の増加等の不都合を招くことなく急峻な不純物プロファイルが得られ、MOSトランジスタの更なる微細化・高集積化に十分応えることが可能となる。

【0063】

－変形例－

ここで、第3の実施形態の諸変形例について説明する。これら変形例では、LDD構造のCMOSトランジスタについて例示する。

【0064】

(変形例1)

先ず、変形例1について、図9を用いて工程順に説明する。

【0065】

(1) 素子分離～ゲート電極、深いPN接合の形成（図9(a)）

先ず、単結晶Siの半導体基板11上に、素子領域を画定するための不図示の

素子分離構造（LOCOS法によるフィールド酸化膜、STI法による溝内絶縁膜など）の形成、不純物のイオン注入によるウェル構造の形成、しきい値制御のためのイオン注入など、通常のMOSトランジスタの製造プロセスを実行する。

【0066】

続いて、半導体基板11の画定された素子領域上にゲート絶縁膜12を形成する。このゲート絶縁膜は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、シリコン酸化膜よりも誘電率の高い金属酸化物膜から選ばれた1種又はこれらの積層構造膜である。

【0067】

続いて、ゲート絶縁膜12上にゲート電極材料、ここではポリシリコン、ポリゲルマニウム、ポリシリコンゲルマニウム、AlやCu等の金属から選ばれた1種を堆積し、当該電極材料及びゲート絶縁膜12をフォトリソグラフィー及びそれに続くドライエッチングによりパターンニングして、ゲート電極13（及びこれに倣った形状に加工されたゲート絶縁膜12）を形成する。

【0068】

（2）重原子を用いたイオン注入による浅い非晶質領域の形成

ゲート電極13をマスクとして、半導体基板11の素子領域の表層に、単結晶Siを非晶質化するに足る程度の性質を有する原子をイオン注入し（矢印A1で示す）、深さ方向の拡がり長さが20nm～60nm、横方向の拡がり長さが10nm～30nmとなるように制御して、浅い非晶質領域51を形成する。後述するレーザーアニール工程後の不純物分布は、この非晶質領域51の拡がりによって決定される。この拡がりは、上述のように前記原子のイオン注入条件によって決まる。当該原子としては、Si、Ge、As、Arから選ばれた1種が好適であり、ここではGe⁺とし、注入条件は加速エネルギーを10keV～60keV、ドーズ量を $4 \times 10^{14} / \text{cm}^2$ とする。

【0069】

（3）重原子を用いたイオン注入による深い非晶質領域の形成（図9（b））

基板全面にシリコン酸化膜又はシリコン窒化膜等の絶縁膜を堆積形成した後、この絶縁膜の全面を異方性エッチング（エッチバック）することにより、ゲート

電極13の側面のみに絶縁膜を残し、サイドウォール16を形成する。

【0070】

続いて、ゲート電極13及びサイドウォール16をマスクとして、半導体基板11の素子領域の表層に、単結晶Siを非晶質化するに足る程度の性質を有する原子をイオン注入し（矢印A2で示す）、深さ方向の拡がり長さが50nm～70nmとなるように制御して、非晶質領域51と接続される深い非晶質領域52を形成する。後述するレーザーアニール工程後の不純物分布は、この非晶質領域52の拡がりによって決定される。この拡がりは、上述のように前記原子のイオン注入条件によって決まる。当該原子としては、Si, Ge, As, Arから選ばれた1種が好適であり、ここではGe⁺とし、注入条件は加速エネルギーを40keV～80keV、ドーズ量を $4 \times 10^{14} / \text{cm}^2$ とする。

【0071】

(3) PN接合の形成（図9（c），（d））

サイドウォール16を除去した後、ゲート電極13をマスクとして、素子領域の表層に半導体基板11の導電型と反対導電型の不純物をイオン注入する（矢印A3で示す）。例えば、図示の如く、NMOS領域にイオン注入する際には、PMOS領域をレジストパターン43によりマスクし、例えばAs⁺を加速エネルギー2keV、ドーズ量を $1 \times 10^{16} / \text{cm}^2$ の条件でイオン注入する。これにより、PN接合領域であるN領域53aを形成する。他方、PMOS領域にイオン注入する際には、NMOS領域をレジストパターン44によりマスクし、例えばB⁺を加速エネルギー0.5keV、ドーズ量を $1 \times 10^{16} / \text{cm}^2$ の条件でイオン注入する。これにより、PN接合領域であるP領域53bを形成する。

【0072】

(4) レーザーアニール（図9（e））

続いて、XeCl, ArF等のエキシマ・パルス・レーザーを例えばレーザーパワー0.3（J/cm²）の条件で基板表面に1回又は複数回照射し（矢印A4で示す）、PN接合領域53a, 53bの不純物を活性化し、PN接合領域53a, 53bに対応したソース／ドレイン（Nソース／ドレイン19a, Pソース／ドレイン19b）を形成する。

【0073】

このように本例では、1度のレーザーアニール工程で2種の接合領域からなるLDD構造のソース/ドレイン19a, 19bの活性化を行うことができる。形成されたソース/ドレイン19a, 19bは、そのソース側の電気容量が $0.25 \text{ (fF/}\mu\text{m/side)}$ 以上となる。この電気容量は、ソース/ドレインのゲート電極とのオーバーラップ量を示す指標となり、レーザーアニール法を用いた従来のMOSトランジスタでは $0.20 \text{ fF/}\mu\text{m}$ 程度であったが、本実施形態では $0.25 \text{ (fF/}\mu\text{m/side)}$ 以上が確保され、十分なオーバーラップが得られたものと考えられる。

【0074】

なお、この後、再びゲート電極13の側面にサイドウォールを形成し、シリサイド化（サリサイド化）を行うようにしても良い。

【0075】

（変形例2）

次に、変形例2について、図10を用いて工程順に説明する。

【0076】

（1）素子分離～ゲート電極、深いPN接合の形成（図10（a））

先ず、単結晶Siの半導体基板11上に、素子領域を画定するための不図示の素子分離構造（LOCOS法によるフィールド酸化膜、STI法による溝内絶縁膜など）の形成、不純物のイオン注入によるウェル構造の形成、しきい値制御のためのイオン注入など、通常のMOSトランジスタの製造プロセスを実行する。

【0077】

続いて、半導体基板11の画定された素子領域上にゲート絶縁膜12を形成する。このゲート絶縁膜は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、シリコン酸化膜よりも誘電率の高い金属酸化物膜から選ばれた1種又はこれらの積層構造膜である。

【0078】

続いて、ゲート絶縁膜12上にゲート電極材料、ここではポリシリコン、ポリゲルマニウム、ポリシリコンゲルマニウム、AlやCu等の金属から選ばれた1

種を堆積し、当該電極材料及びゲート絶縁膜12をフォトリソグラフィー及びそれに続くドライエッチングによりパターニングして、ゲート電極13（及びこれに倣った形状に加工されたゲート絶縁膜12）を形成する。

【0079】

続いて、基板全面にシリコン酸化膜又はシリコン窒化膜等の絶縁膜を堆積形成した後、この絶縁膜の全面を異方性エッチング（エッチバック）することにより、ゲート電極13の側面のみに絶縁膜を残し、サイドウォール16を形成する。

【0080】

続いて、ゲート電極13及びサイドウォール16をマスクとして、素子領域の表層に半導体基板11の導電型と反対導電型の不純物をイオン注入する。この場合、注入条件としては、NMOS領域については、例えば As^+ を加速エネルギー 25keV 、ドーズ量を $8 \times 10^{15}/\text{cm}^2$ 、又は P^+ を加速エネルギー 7keV 、ドーズ量を $8 \times 10^{15}/\text{cm}^2$ の条件でイオン注入する。そして、 1000°C で10分間のアニール処理を施し、深いPN接合領域18（ n^+ 領域18a、 p^+ 領域18b）を形成する。

【0081】

(2) 重原子を用いたイオン注入による非晶質領域の形成（図10（b））

サイドウォール16を除去した後、ゲート電極13をマスクとして、半導体基板11の素子領域の表層に、単結晶Siを非晶質化するに足る程度の性質を有する原子をイオン注入し（矢印A1で示す）、深さ方向の拡がり長さが $20\text{nm} \sim 60\text{nm}$ 、横方向の拡がり長さが $10\text{nm} \sim 30\text{nm}$ となるように制御して、非晶質領域41を形成する。後述するレーザーアニール工程後の不純物分布は、この非晶質領域41の拡がりによって決定される。この拡がりは、上述のように前記原子のイオン注入条件によって決まる。当該原子としては、Si、Ge、As、Arから選ばれた1種が好適であり、ここでは Ge^+ とし、注入条件は加速エネルギーを $10\text{keV} \sim 60\text{keV}$ 、ドーズ量を $4 \times 10^{14}/\text{cm}^2$ とする。

【0082】

(3) 浅いPN接合の形成（図10（c）、（d））

続いて、ゲート電極13をマスクとして、素子領域の表層に半導体基板11の

導電型と反対導電型の不純物をイオン注入する（矢印A 2で示す）。例えば、図示の如く、NMOS領域にイオン注入する際には、PMOS領域をレジストパターン4 3によりマスクし、例えば As^+ を加速エネルギー2 keV、ドーズ量を $1 \times 10^{16} / cm^2$ の条件でイオン注入する。これにより、浅いPN接合領域であるN領域1 5 aを形成する。他方、PMOS領域にイオン注入する際には、NMOS領域をレジストパターン4 4によりマスクし、例えば B^+ を加速エネルギー0. 5 keV、ドーズ量を $1 \times 10^{16} / cm^2$ の条件でイオン注入する。これにより、浅いPN接合領域であるP領域1 5 bを形成する。

【0 0 8 3】

(4) レーザーアニール（図1 0（e））

続いて、XeCl, ArF等のエキシマ・パルス・レーザーを例えばレーザーパワー0. 3 (J / cm^2)の条件で基板表面に1回又は複数回照射し（矢印A 3で示す）、PN接合領域1 5, 1 8の不純物を活性化し、PN接合領域1 5, 1 8に対応したソース/ドレイン（Nソース/ドレイン1 9 a, Pソース/ドレイン1 9 b）を形成する。

【0 0 8 4】

このように本例では、1度のレーザーアニール工程で2種の接合領域からなるLDD構造のソース/ドレイン1 9 a, 1 9 bの活性化を行うことができる。形成されたソース/ドレイン1 9 a, 1 9 bは、そのソース側の電気容量が0. 25 ($fF / \mu m / side$)以上となる。この電気容量は、ソース/ドレインのゲート電極とのオーバーラップ量を示す指標となり、レーザーアニール法を用いた従来のMOSトランジスタでは0. 20 ($fF / \mu m / side$)程度であったが、本実施形態では0. 25 ($fF / \mu m / side$)以上が確保され、十分なオーバーラップが得られたものと考えられる。

【0 0 8 5】

なお、この後、再びゲート電極1 3の側面にサイドウォールを形成し、シリサイド化（サリサイド化）を行うようにしても良い。

【0 0 8 6】

また、上述した第2の実施形態において、本変形例と同様に、LDD構造のC

MOSトランジスタを作製することも可能である。

【0087】

以上説明したように、本変形例によれば、レーザーアニール法を用いて寄生抵抗の増加等の不都合を招くことなく急峻な不純物プロファイルが得られ、MOSトランジスタの更なる微細化・高集積に十分応えることが可能となる。

【0088】

以下、本発明の諸態様を付記として記載する。

【0089】

(付記1) 単結晶半導体領域にゲート、ソース/ドレインを有してなる半導体装置の製造方法であって、

前記単結晶半導体領域上にゲート絶縁膜を介して前記ゲートをパターン形成する第1の工程と、

前記ゲートをマスクとして、前記単結晶半導体領域の表面に対して斜め方向から、当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、前記ゲート下部の前記単結晶半導体領域内に回り込む非晶質領域を形成する第2の工程と、

前記第2の工程の前又は後に、前記ゲートをマスクとして前記単結晶半導体領域の表面に不純物を導入する第3の工程と、

前記単結晶半導体領域にレーザー照射して前記不純物を活性化し、前記ソース/ドレインを形成する第4の工程とを含むことを特徴とする半導体装置の製造方法。

【0090】

(付記2) 前記第4の工程の後に、前記ゲートの側面に側壁絶縁膜を形成し、前記ゲート及び前記側壁絶縁膜をマスクとして、前記ソース/ドレインの表層をシリサイド化する第5の工程を含むことを特徴とする付記1に記載の半導体装置の製造方法。

【0091】

(付記3) 単結晶半導体領域にゲート、ソース/ドレインを有してなる半導体装置の製造方法であって、

前記単結晶半導体領域上にゲート絶縁膜を介して前記ゲートをパターン形成する第 1 の工程と、

前記ゲートをマスクとして、前記単結晶半導体領域の表面に対して斜め方向から、当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、前記ゲート下部の前記単結晶半導体領域内に回り込む第 1 の非晶質領域を形成する第 2 の工程と、

前記第 2 の工程の前又は後に、前記ゲートをマスクとして前記単結晶半導体領域の表面に不純物を導入し、第 1 の接合領域を形成する第 3 の工程と、

前記ゲートの側面に側壁絶縁膜を形成する第 4 の工程と、

前記ゲート及び前記側壁絶縁膜をマスクとして、前記単結晶半導体領域の表面に当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、前記第 1 の非晶質領域よりも深い第 2 の非晶質領域を形成する第 5 の工程と、

前記第 5 の工程の前又は後に、前記ゲート及び前記側壁絶縁膜をマスクとして、前記単結晶半導体領域の表面に不純物を導入し、前記第 1 の接合領域よりも深い第 2 の接合領域を形成する第 6 の工程と、

前記側壁絶縁膜を除去した後、前記単結晶半導体領域にレーザー照射して、前記第 1 及び第 2 の接合領域の前記不純物を活性化し、前記ソース／ドレインを形成する第 7 の工程とを含むことを特徴とする半導体装置の製造方法。

【 0 0 9 2 】

(付記 4) 前記第 7 の工程の後に、前記ゲートの側面に再び側壁絶縁膜を形成し、前記ゲート及び前記側壁絶縁膜をマスクとして、前記ソース／ドレインの表層をシリサイド化する第 8 の工程を含むことを特徴とする付記 3 に記載の半導体装置の製造方法。

【 0 0 9 3 】

(付記 5) 前記レーザー照射の強度が、前記非晶質半導体は溶融するが単結晶半導体溶融しない条件の値であることを特徴とする付記 1 ～ 4 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 9 4 】

(付記 6) 前記ゲート絶縁膜は、シリコン酸化膜、シリコン窒化膜、シリコン

酸窒化膜、シリコン酸化膜よりも誘電率の高い金属酸化物膜から選ばれた 1 種又はこれらの積層構造膜であることを特徴とする付記 1 ～ 5 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 9 5 】

(付記 7) 前記ゲートの材料は、シリコン、ゲルマニウム、シリコンゲルマニウム、金属から選ばれた 1 種であることを特徴とする付記 1 ～ 6 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 9 6 】

(付記 8) 前記単結晶半導体を非晶質化するに足る程度の性質を有する原子は、Si, Ge, As, Ar から選ばれた 1 種であることを特徴とする付記 1 ～ 7 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 9 7 】

(付記 9) 単結晶半導体を非晶質化するに足る程度の性質を有する原子を、所定のマスクを用いて単結晶半導体領域に異なる導入条件で少なくとも 2 回導入し、各回の前記原子の導入に応じた異なる深さ及び面積の各非晶質領域を形成する工程と、

各々の前記原子の導入前又は後に、PN 接合を形成するための不純物を導入する工程と、

前記単結晶半導体領域にレーザー照射し、導入された前記不純物を活性化して、前記 PN 接合を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【 0 0 9 8 】

前記原子の導入を行うに際して、少なくとも 1 回の前記原子の導入時に、前記マスク下部の前記単結晶半導体領域内に前記原子が回り込むように、前記単結晶半導体領域の表面に対して斜め方向から導入することを特徴とする付記 9 に記載の半導体装置の製造方法。

【 0 0 9 9 】

(付記 11) 前記レーザー照射の強度が、前記非晶質半導体は溶融するが単結晶半導体溶融しない条件の値であることを特徴とする付記 9 又は 10 に記載の半

導体装置の製造方法。

【0100】

（付記12）前記単結晶半導体を非晶質化するに足る程度の性質を有する原子は、Si, Ge, As, Arから選ばれた1種であることを特徴とする付記9～11のいずれか1項に記載の半導体装置の製造方法。

【0101】

（付記13）単結晶半導体領域にゲート、ソース／ドレインを有してなる半導体装置の製造方法であって、

前記単結晶半導体領域上にゲート絶縁膜を介して前記ゲートをパターン形成する第1の工程と、

前記ゲートをマスクとして、前記単結晶半導体領域の表面に対して、当該単結晶半導体を非晶質化する性質を有する原子を導入し、非晶質領域を形成する第2の工程と、

前記第2の工程の前又は後に、前記ゲートをマスクとして前記単結晶半導体領域の表面に不純物を導入する第3の工程と、

前記単結晶半導体領域にレーザー照射して前記不純物を活性化し、前記ソース／ドレインを形成する第4の工程とを含み、

前記第2の工程において前記原子の導入条件を、前記第4の工程においてレーザー照射強度条件をそれぞれ制御し、前記ソース／ドレインの前記非晶質領域に相当する部分が前記ゲート下部の前記単結晶半導体領域内に回り込むように形成することを特徴とする半導体装置の製造方法。

【0102】

（付記14）前記ソース側の電気容量が $0.25 \text{ (fF} / \mu\text{m} / \text{side)}$ 以上であることを特徴とする付記13に記載の半導体装置の製造方法。

【0103】

（付記15）前記原子の導入条件は、前記非晶質領域が前記ゲート下部の前記単結晶半導体領域内に回り込むに足る条件であり、前記レーザー照射強度条件は、前記単結晶半導体領域を溶融せずに前記非晶質領域のみを溶融する条件であることを特徴とする付記13又は14に記載の半導体装置の製造方法。

【0104】

(付記16) 前記単結晶半導体を非晶質化するに足る程度の性質を有する原子は、Si, Ge, As, Arから選ばれた1種であることを特徴とする付記13～15のいずれか1項に記載の半導体装置の製造方法。

【0105】

(付記17) 前記第4の工程に際して、全面に熱吸収膜を形成し、当該熱吸収膜を介してレーザー照射を行うことを特徴とする付記13～16のいずれか1項に記載の半導体装置の製造方法。

【0106】

(付記18) 単結晶半導体領域にゲート、ソース/ドレインを有してなる半導体装置の製造方法であって、

前記単結晶半導体領域上にゲート絶縁膜を介して前記ゲートをパターン形成する第1の工程と、

前記ゲートの側面に側壁絶縁膜を形成し、不純物を導入して深い第1の接合領域を形成する第2の工程と、

前記側壁絶縁膜を除去した後、前記ゲートをマスクとして、前記単結晶半導体領域の表面に対して、当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、非晶質領域を形成する第3の工程と、

前記第2の工程の前又は後に、前記ゲートをマスクとして前記単結晶半導体領域の表面に不純物を導入して浅い第2の接合領域を形成する第4の工程と、

前記単結晶半導体領域にレーザー照射して前記第1及び第2の接合領域の前記不純物を活性化し、前記ソース/ドレインを形成する第5の工程とを含み、

前記第3の工程において前記原子の導入条件を、前記第5の工程においてレーザー照射強度条件をそれぞれ制御し、前記ソース/ドレインの前記非晶質領域に相当する部分が前記ゲート下部の前記単結晶半導体領域内に回り込むように形成することを特徴とする半導体装置の製造方法。

【0107】

(付記19) 前記ソース側の電気容量が $0.25 \text{ (fF}/\mu\text{m/side)}$ 以上であることを特徴とする付記18に記載の半導体装置の製造方法。

【0108】

(付記20) 前記原子の導入条件は、前記非晶質領域が前記ゲート下部の前記単結晶半導体領域内に回り込むに足る条件であり、前記レーザー照射強度条件は、前記単結晶半導体領域を溶融せずに前記非晶質領域のみを溶融する条件であることを特徴とする付記18又は19に記載の半導体装置の製造方法。

【0109】

(付記21) 前記単結晶半導体を非晶質化するに足る程度の性質を有する原子は、Si, Ge, As, Arから選ばれた1種であることを特徴とする付記18～20のいずれか1項に記載の半導体装置の製造方法。

【0110】

(付記22) 前記第5の工程に際して、全面に熱吸収膜を形成し、当該熱吸収膜を介してレーザー照射を行うことを特徴とする付記18～21のいずれか1項に記載の半導体装置の製造方法。

【0111】

(付記23) 単結晶半導体領域にゲート、ソース/ドレインを有してなる半導体装置の製造方法であって、

前記単結晶半導体領域上にゲート絶縁膜を介して前記ゲートをパターン形成する第1の工程と、

前記ゲートをマスクとして、前記単結晶半導体領域の表面に対して斜め方向から、当該単結晶半導体を非晶質化するに足る程度の性質を有する原子を導入し、前記ゲート下部の前記単結晶半導体領域内に回り込む非晶質領域を形成する第2の工程と、

前記第2の工程の前又は後に、前記ゲートをマスクとして前記単結晶半導体領域の表面に不純物を導入する第3の工程と、

前記単結晶半導体領域にレーザー照射して前記不純物を活性化し、前記ソース/ドレインを形成する第4の工程とを含み、

前記第2の工程において、前記単結晶半導体領域の表面に垂直な方向に対する前記原子導入の傾斜角度を前記ドレイン側に比して前記ソース側が大きくなるように制御し、前記非晶質領域をその前記ゲート下部の前記単結晶半導体領域内へ

の回り込み量が前記ドレイン側に比して前記ソース側が大きくなるように形成することを特徴とする半導体装置の製造方法。

【0112】

(付記24) 前記ソース側の電気容量が $0.25 \text{ (fF}/\mu\text{m}/\text{side})$ 以上であることを特徴とする付記23に記載の半導体装置の製造方法。

【0113】

(付記25) 前記単結晶半導体を非晶質化するに足る程度の性質を有する原子は、Si, Ge, As, Arから選ばれた1種であることを特徴とする付記23又は24に記載の半導体装置の製造方法。

【0114】

(付記26) 前記第4の工程に際して、全面に熱吸収膜を形成し、当該熱吸収膜を介してレーザー照射を行うことを特徴とする付記23～25のいずれか1項に記載の半導体装置の製造方法。

【0115】

(付記27) 単結晶半導体領域にゲート、ソース/ドレインを有してなる半導体装置であって、

前記ソース/ドレインは、前記ゲート下部の前記単結晶半導体領域内への回り込む浅い接合と、前記浅い接合の下方へ拡散してなる深い接合とが一体化してなり、

少なくとも前記浅い接合は、不純物とともに前記単結晶半導体を非晶質化するに足る程度の性質を有する原子を含み、

前記ソース側の電気容量が $0.25 \text{ (fF}/\mu\text{m}/\text{side})$ 以上であることを特徴とする半導体装置。

【0116】

(付記28) 前記単結晶半導体を非晶質化するに足る程度の性質を有する原子は、Si, Ge, As, Arから選ばれた1種であることを特徴とする付記27に記載の半導体装置。

【0117】

(付記29) 単結晶半導体領域にゲート、ソース/ドレインを有してなる半導

体装置であって、

前記ソース／ドレインは、前記ゲート下部の前記単結晶半導体領域内への回り込む浅い接合と、前記浅い接合の下方へ拡散してなる深い接合とが一体化してなり、

少なくとも前記浅い接合は、不純物とともに前記単結晶半導体を非晶質化するに足る程度の性質を有する原子を含み、

前記浅い接合の前記ゲート下部の前記単結晶半導体領域内への回り込み量が前記ドレイン側に比して前記ソース側が大きくなるように形成されるとともに、前記ソース側の電気容量が $0.25 \text{ (fF} / \mu\text{m} / \text{side)}$ 以上であることを特徴とする半導体装置。

【0118】

(付記30) 前記単結晶半導体を非晶質化するに足る程度の性質を有する原子は、Si, Ge, As, Ar から選ばれた1種であることを特徴とする付記29に記載の半導体装置。

【0119】

【発明の効果】

本発明の半導体装置の製造方法によれば、レーザーアニール法を用いて寄生抵抗の増加等の不都合を招くことなく急峻な不純物プロファイルが得られ、半導体素子の更なる微細化・高集積化に十分応えることが可能となる。

【図面の簡単な説明】

【図1】

本発明の主要構成を説明するために、MOSトランジスタの製造工程を例示した概略断面図である。

【図2】

Ge注入、B注入を行った後、レーザーアニールを施したサンプルの二次イオン質量分析の結果を示す特性図である。

【図3】

本発明の他の主要構成を説明するために、MOSトランジスタの製造工程を例示した概略断面図である。

【図 4】

ゲート電極下部とソース／ドレインとのオーバーラップ長のレーザーパワーとの関係を示す特性図である。

【図 5】

本発明の第 1 の実施形態による MOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 6】

図 5 に引き続き、本発明の実施形態による MOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 7】

本発明の第 2 の実施形態による MOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 8】

本発明の第 3 の実施形態による MOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 9】

本発明の第 3 の実施形態による MOS トランジスタの変形例 1 の製造方法を工程順に示す概略断面図である。

【図 1 0】

本発明の第 3 の実施形態による MOS トランジスタの変形例 2 の製造方法を工程順に示す概略断面図である。

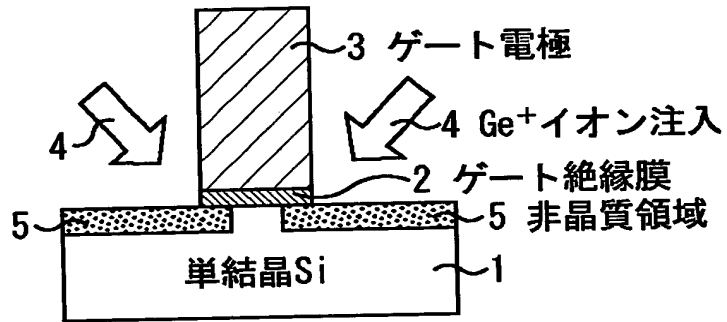
【符号の説明】

- 1 N 型シリコン単結晶の半導体基板
- 2, 1 2 ゲート絶縁膜
- 3, 1 3 ゲート電極
- 5, 3 1 a, 3 1 b, 4 1 非晶質領域
- 1 1 シリコン単結晶の半導体基板
- 1 4 第 1 の非晶質領域
- 1 5 浅い P N 接合領域

- 1 5 a N領域
- 1 5 b P領域
- 1 6, 2 0 サイドウォール
- 1 9 a Nソース／ドレイン
- 1 9 b Pソース／ドレイン
- 1 7 第2の非晶質領域
- 1 8 深いPN接合領域
- 1 9 ソース／ドレイン
- 2 1 金属シリサイド膜
- 3 2, 4 2 PN接合領域
- 3 3 熱吸収膜
- 3 3 a シリコン酸化膜
- 3 3 b TaN膜
- 4 3, 4 4 レジストパターン
- 5 1 浅い非晶質領域
- 5 2 深い非晶質領域
- 5 3 a N領域
- 5 3 b P領域

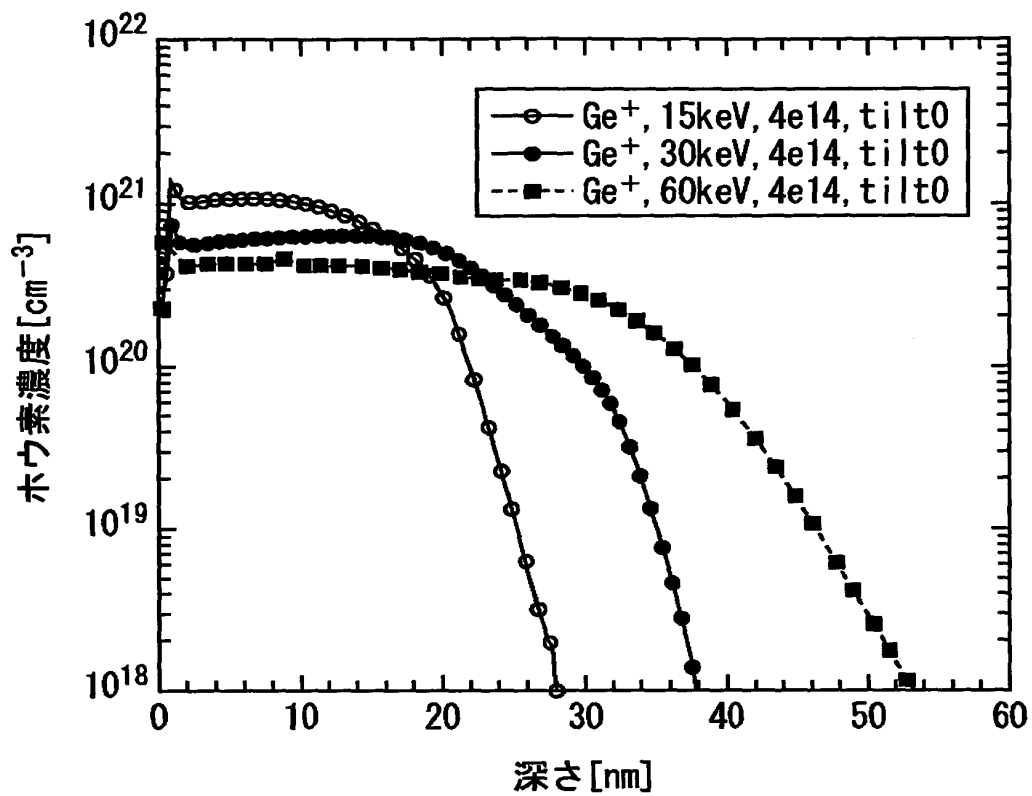
【書類名】 図面

【図 1】



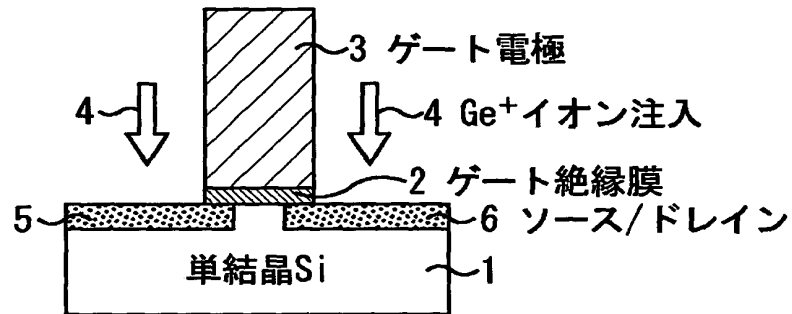
斜め非晶質化注入によりゲート電極下部
まで非晶質化(この部分の不純物が活性化)

【図 2】



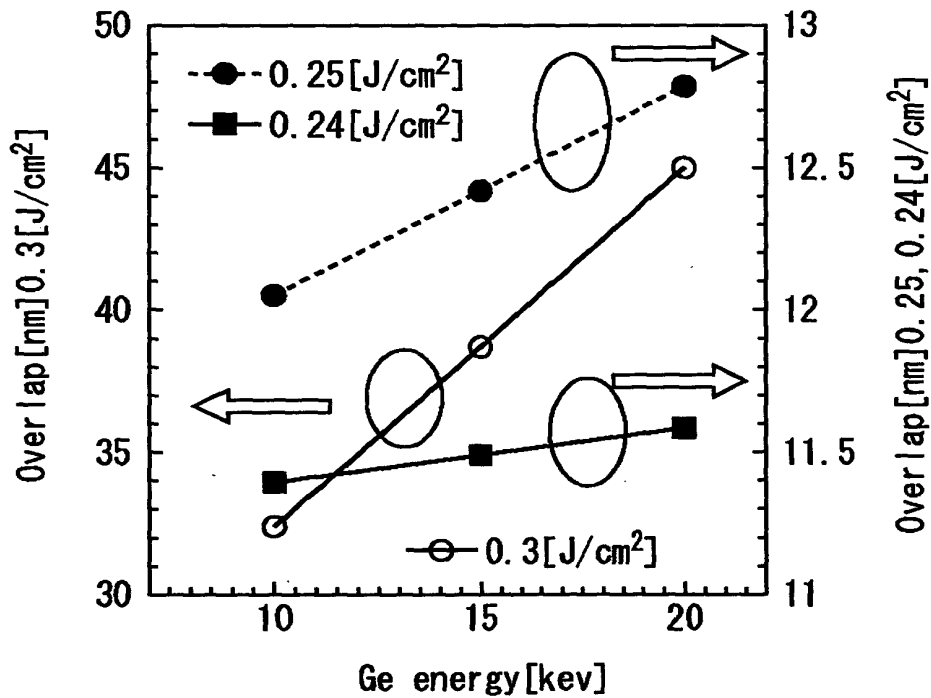
二次イオン質量分析

【図3】

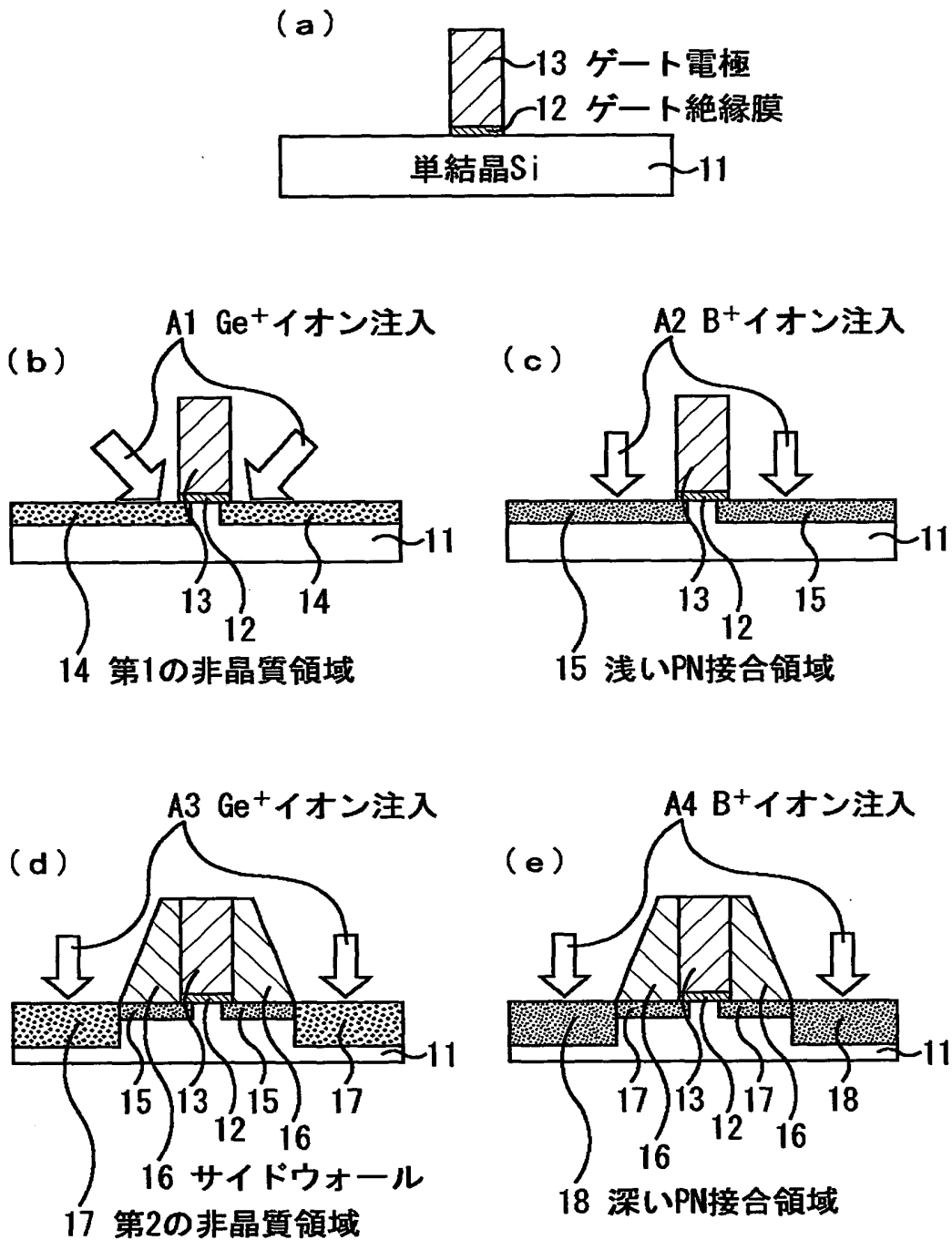


イオン注入条件、レーザー照射条件の制御により
ゲート電極下部まで非晶質化したソース/ドレインが形成される
(この部分の不純物が活性化)

【図4】

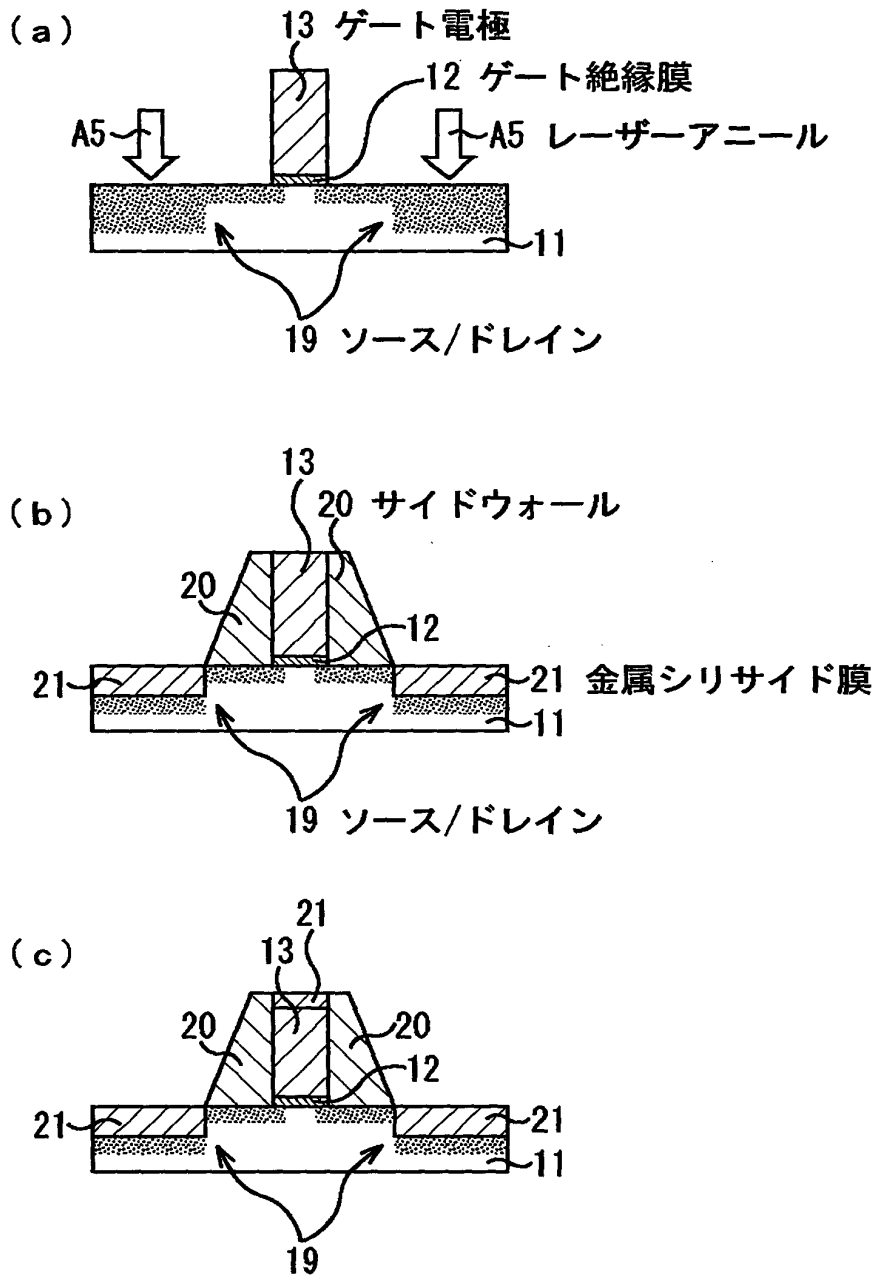


【図5】



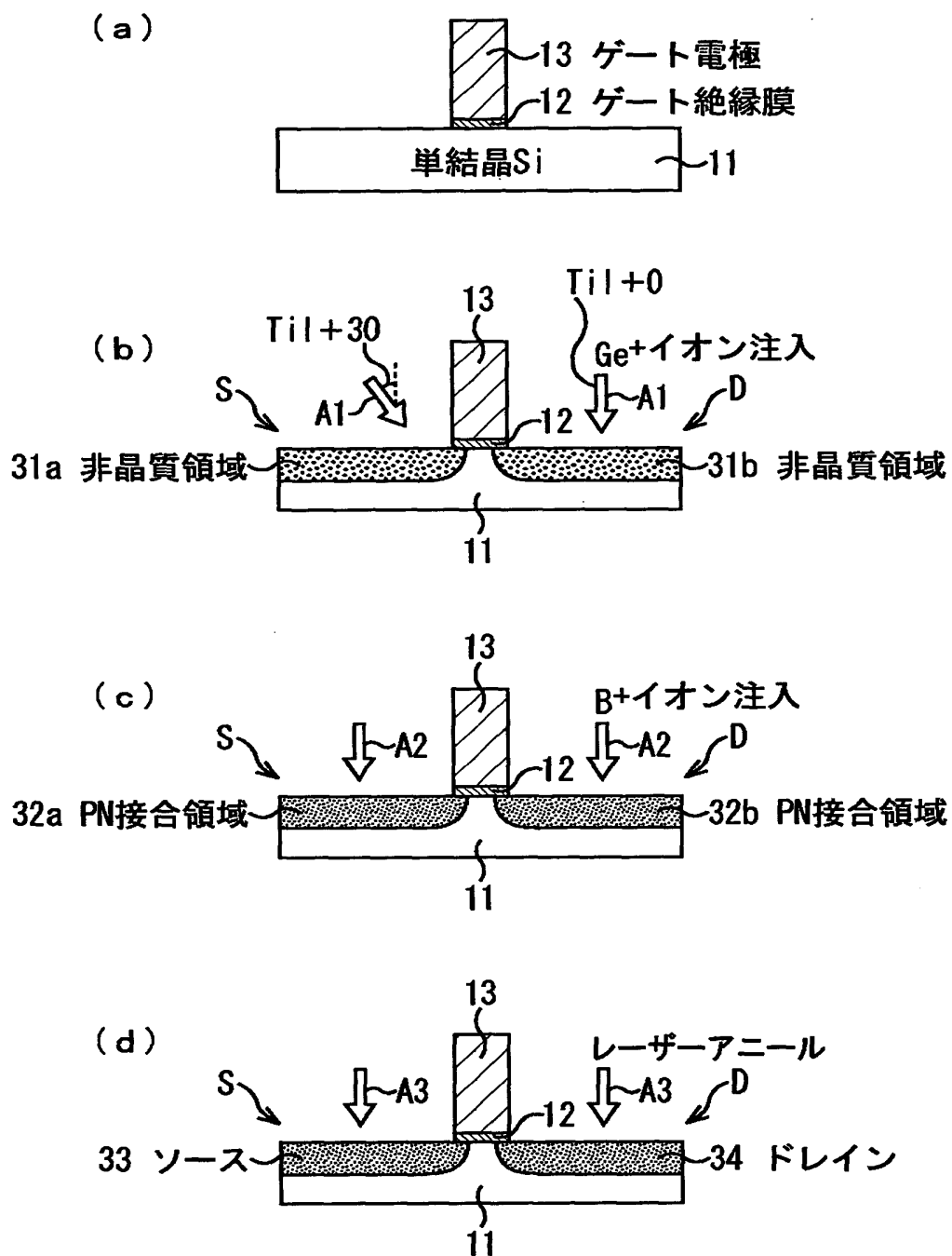
本実施形態によるMOSトランジスタの製法

【図6】



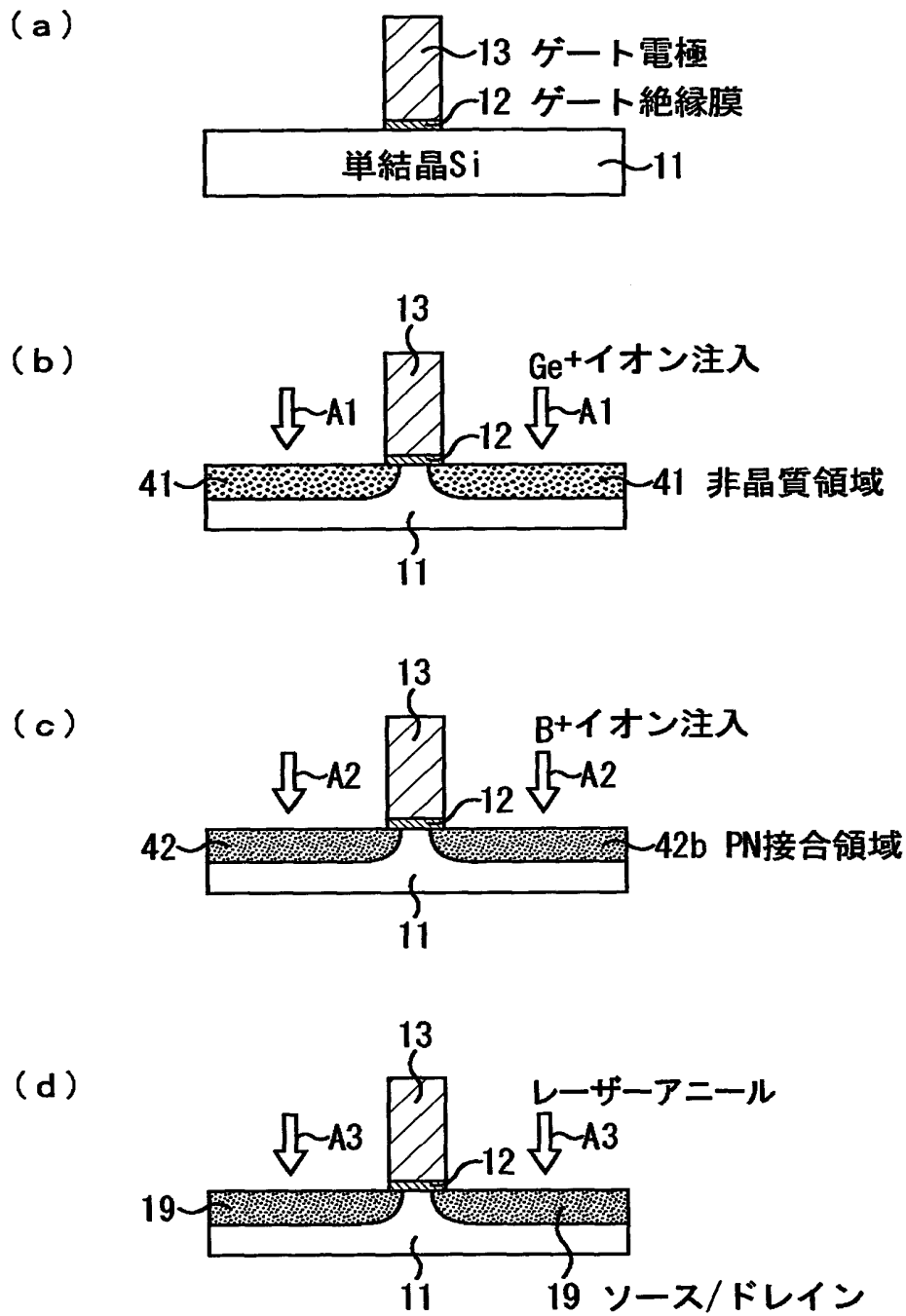
本実施形態のMOSトランジスタの製法

【図7】



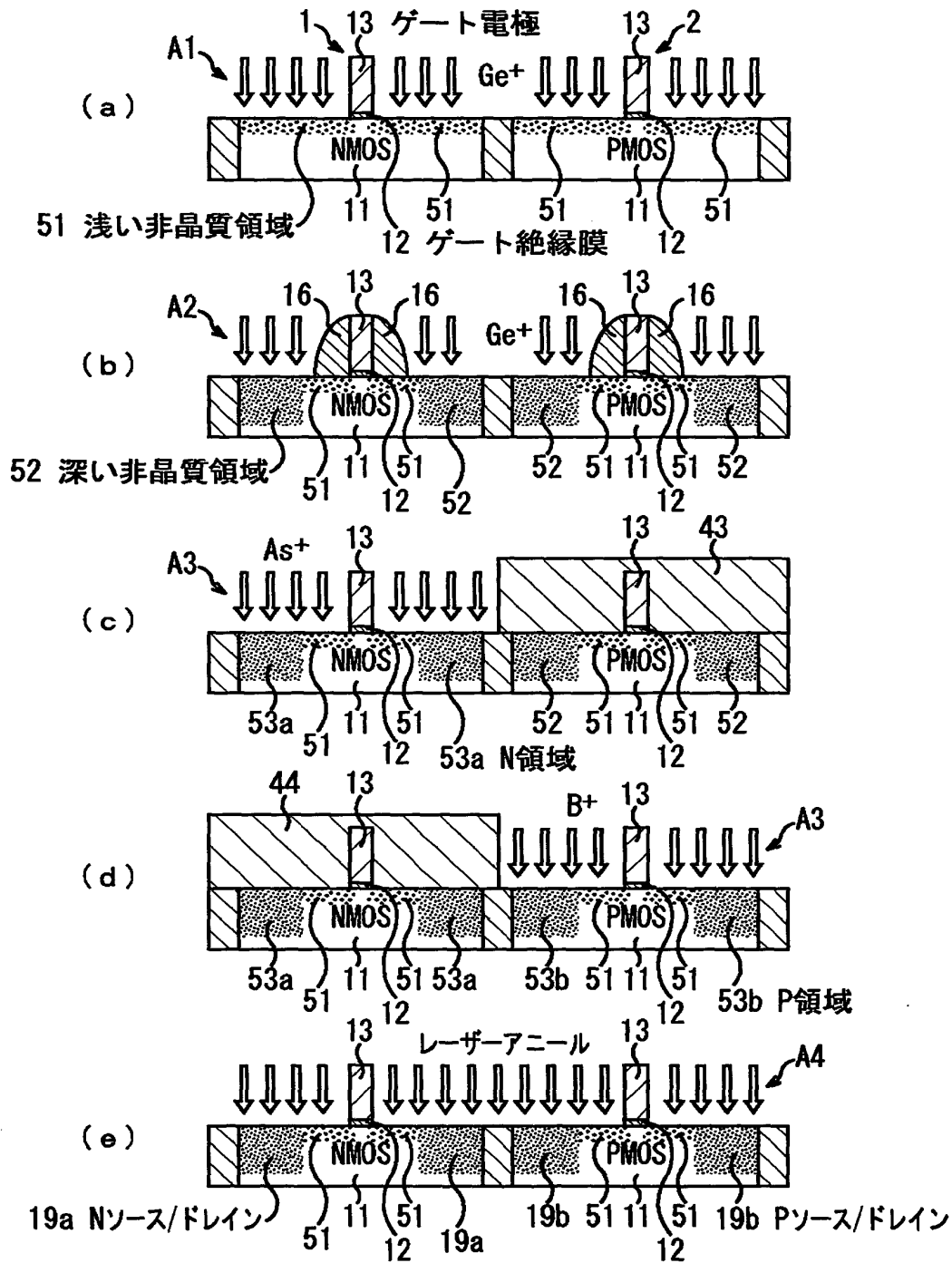
第2の実施形態

【図 8】



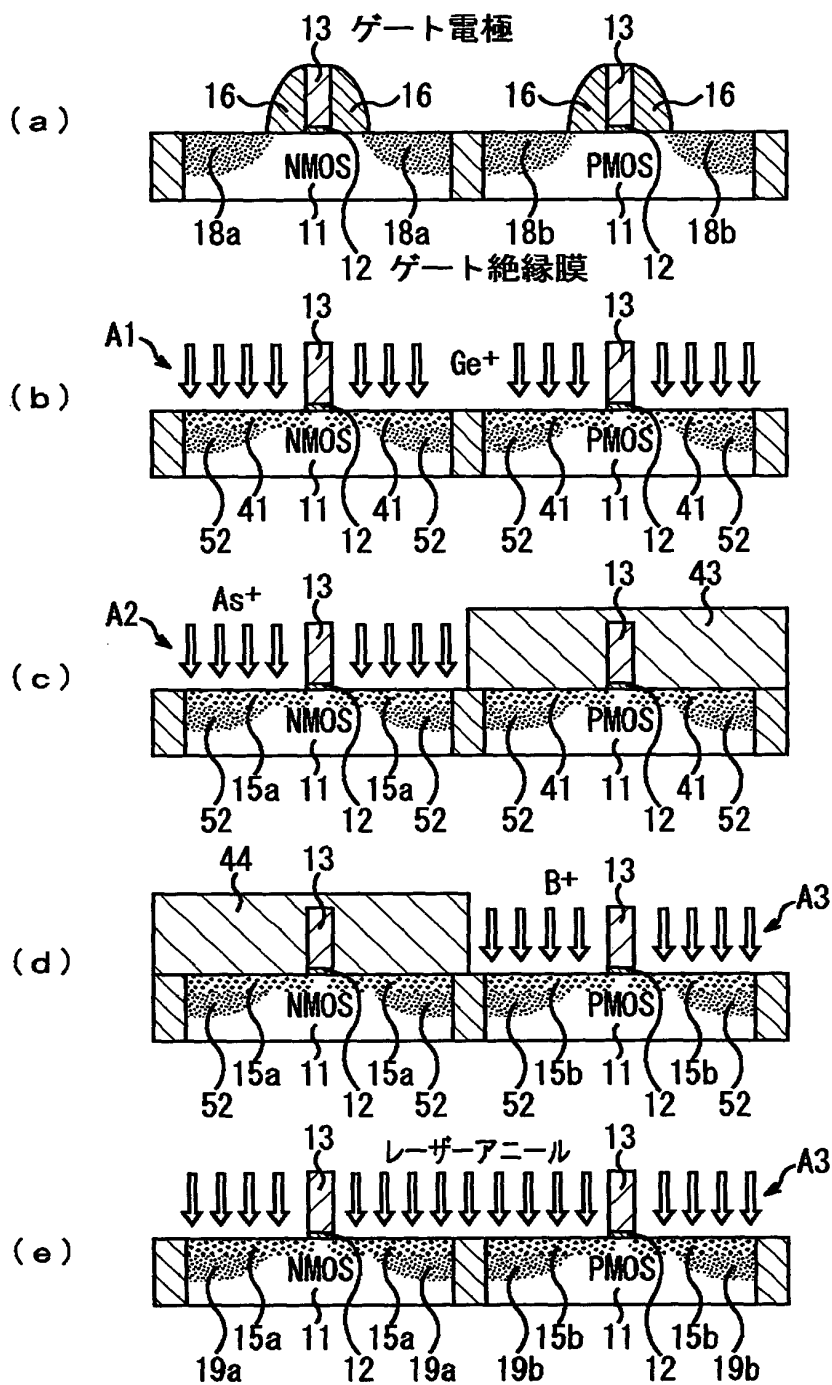
第3の実施形態

【図9】



第3の実施形態の変形例1

【図10】



第3の実施形態の変形例2

【書類名】 要約書

【要約】

【課題】 レーザーアニール法を用いて寄生抵抗の増加等の不都合を招くことなく急峻な不純物プロファイルが得られ、半導体素子の更なる微細化・高集積化に十分応えることを可能とする。

【解決手段】 N型シリコン単結晶の半導体基板 1 にゲート絶縁膜 2 を介してゲート電極 3 をパターン形成した後、ゲート電極 3 をマスクとして基板 1 の Si 表面に対して斜め方向から、単結晶 Si を非晶質化するに足る程度の性質を有する原子、ここでは Ge^+ をイオン注入し（矢印 4 で示す）、単結晶 Si を溶融再結晶化して、ゲート電極 3 下部の基板 1 内に回り込む非晶質領域 5 を形成する。しかる後、非晶質領域 5 に B^+ をイオン注入し、レーザー照射を実行する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日	1 9 9 6 年 3 月 2 6 日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名	富士通株式会社